

## 单片机硬件设计中如何提高抗干扰能力和电磁兼容性

在研制带处理器的电子产品时，如何提高抗干扰能力和电磁兼容性？

### 一、下面的一些系统要特别注意抗电磁干扰：

- 1、微控制器时钟频率特别高，总线周期特别快的系统。
- 2、系统含有大功率，大电流驱动电路，如产生火花的继电器，大电流开关等。
- 3、含微弱模拟信号电路以及高精度 A/D 变换电路的系统。

### 二、为增加系统的抗电磁干扰能力采取如下措施：

#### 1、选用频率低的微控制器

选用外时钟频率低的微控制器可以有效降低噪声和提高系统的抗干扰能力。同样频率的方波和正弦波，方波中的高频成份比正弦波多得多。虽然方波的高频成份的波的幅度，比基波小，但频率越高越容易发射出成为噪声源，微控制器产生的最有影响的高频噪声大约是时钟频率的 3 倍。

#### 2、减小信号传输中的畸变

微控制器主要采用高速 CMOS 技术制造。信号输入端静态输入电流在 1mA 左右，输入电容 10PF 左右，输入阻抗相当高，高速 CMOS 电路的输出端都有相当的带载能力，即相当大的输出值，将一个门的输出端通过一段很长引线引到输入阻抗相当高的输入端，反射问题就很严重，它会引起信号畸变，增加系统噪声。当  $T_{pd} > T_r$  时，就成了一个传输线问题，必须考虑信号反射，阻抗匹配等问题。

信号在印制板上的延迟时间与引线的特性阻抗有关，即与印制线路板材料的介电常数有关。可以粗略地认为，信号在印制板引线的传输速度，约为光速的 1/3 到 1/2 之间。微控制器构成的系统中常用逻辑元件的  $T_r$  (标准延迟时间) 为 3 到 18ns 之间。

在印制线路板上，信号通过一个 7W 的电阻和一段 25cm 长的引线，线上延迟时间大致在 4~20ns 之间。也就是说，信号在印刷线路上的引线越短越好，最长不宜超过 25cm。而且过孔数目也应尽量少，最好不多于 2 个。

当信号的上升时间快于信号延迟时间，就要按照快电子学处理。此时要考虑传输线的阻抗匹配，对于一块印刷线路板上的集成块之间的信号传输，要避免出现  $T_d > T_{rd}$  的情况，印刷线路板越大系统的速度就越不能太快。

用以下结论归纳印刷电路板设计的一个规则：

信号在印刷板上传输，其延迟时间不应大于所用器件的标称延迟时间。

### 3、减小信号线间的交叉干扰

A 点一个上升时间为  $T_r$  的阶跃信号通过引线 AB 传向 B 端。信号在 AB 线上的延迟时间是  $T_d$ 。在 D 点，由于 A 点信号的向前传输，到达 B 点后的信号反射和 AB 线的延迟， $T_d$  时间以后会感应出一个宽度为  $T_r$  的负脉冲信号。在 C 点，由于 AB 上信号的传输与反射，会感应出一个宽度为信号在 AB 线上的延迟时间的两倍，即  $2T_d$  的正脉冲信号。这就是信号间的交叉干扰。干扰信号的强度与 C 点信号的  $di/at$  有关，与线间距离有关。当两信号线不是很长时，AB 上看到的实际是两个脉冲的迭加。

CMOS 工艺制造的微控制由输入阻抗高，噪声高，噪声容限也很高，数字电路是迭加  $100\sim 200\text{mv}$  噪声并不影响其工作。若图中 AB 线是一模拟信号，这种干扰就变为不能容忍。如印刷电路板为四层板，其中有一层是大面积的地，或双面板，信号线的反面是大面积的地时，这种信号间的交叉干扰就会变小。原因是，大面积的地减小了信号线的特性阻抗，信号在 D 端的反射大为减小。特性阻抗与信号线到地间的介质的介电常数的平方成反比，与介质厚度的自然对数成正比。若 AB 线为一模拟信号，要避免数字电路信号线 CD 对 AB 的干扰，AB 线下方要有大面积的地，AB 线到 CD 线的距离要大于 AB 线与地距离的  $2\sim 3$  倍。可用局部屏蔽地，在有引结的一面引线左右两侧布以地线。

### 4、减小来自电源的噪声

电源在向系统提供能源的同时，也将其噪声加到所供电的电源上。电路中微控制器的复位线，中断线，以及其它一些控制线最容易受外界噪声的干扰。电网上的强干扰通过电源进入电路，即使电池供电的系统，电池本身也有高频噪声。模拟电路中的模拟信号更经受不住来自电源的干扰。

### 5、注意印刷线板与元器件的高频特性

在高频情况下，印刷电路板上的引线，过孔，电阻、电容、接插件的分布电感与电容等不可忽略。电容的分布电感不可忽略，电感的分布电容不可忽略。电阻产生对高频信号的反射，引线的分布电容会起作用，当长度大于噪声频率相应波长的  $1/20$  时，就产生天线效应，噪声通过引线向外发射。

印刷电路板的过孔大约引起  $0.6\text{pf}$  的电容。

一个集成电路本身的封装材料引入  $2\sim 6\text{pf}$  电容。

一个线路板上的接插件，有  $520\text{nH}$  的分布电感。一个双列直插的 24 引脚集成电路插座，引入  $4\sim 18\text{nH}$  的分布电感。

这些小的分布参数对于这行较低频率下的微控制器系统中是可以忽略不计的；而对于高速系统必须予以特别注意。

## 6、元件布置要合理分区

元件在印刷电路板上排列的位置要充分考虑抗电磁干扰问题，原则之一是各部件之间的引线要尽量短。在布局上，要把模拟信号部分，高速数字电路部分，噪声源部分（如继电器，大电流开关等）这三部分合理地分开，使相互间的信号耦合为最小。

## 7、处理好接地线

印刷电路板上，电源线和地线最重要。克服电磁干扰，最主要的手段就是接地。

对于双面板，地线布置特别讲究，通过采用单点接地法，电源和地是从电源的两端接到印刷电路板上来的，电源一个接点，地一个接点。印刷电路板上，要有多个返回地线，这些都会聚到回电源的那个接点上，就是所谓单点接地。所谓模拟地、数字地、大功率器件地分开，是指布线分开，而最后都汇集到这个接地点上来。与印刷电路板以外的信号相连时，通常采用屏蔽电缆。对于高频和数字信号，屏蔽电缆两端都接地。低频模拟信号用的屏蔽电缆，一端接地为好。

对噪声和干扰非常敏感的电路或高频噪声特别严重的电路应该用金属罩屏蔽起来。

## 8、用好去耦电容。

好的高频去耦电容可以去除高到 1GHz 的高频成份。陶瓷片电容或多层陶瓷电容的高频特性较好。设计印刷电路板时，每个集成电路的电源，地之间都要加一个去耦电容。去耦电容有两个作用：一方面是本集成电路的蓄能电容，提供和吸收该集成电路开门关门瞬间的充放电能；另一方面旁路掉该器件的高频噪声。数字电路中典型的去耦电容为 0.1 $\mu$ f 的去耦电容有 5nH 分布电感，它的并行共振频率大约在 7MHz 左右，也就是说对于 10MHz 以下的噪声有较好的去耦作用，对 40MHz 以上的噪声几乎不起作用。

1 $\mu$ f，10 $\mu$ f 电容，并行共振频率在 20MHz 以上，去除高频率噪声的效果要好一些。在电源进入印刷板的地方和一个 1 $\mu$ f 或 10 $\mu$ f 的去高频电容往往是有利的，即使是用电池供电的系统也需要这种电容。

每 10 片左右的集成电路要加一片充放电电容，或称为蓄放电容，电容大小可选 10 $\mu$ f。最好不用电解电容，电解电容是两层薄膜卷起来的，这种卷起来的结构在高频时表现为电感，最好使用钽电容或聚碳酸酯电容。

去耦电容值的选取并不严格，可按  $C=1/f$  计算；即 10MHz 取 0.1 $\mu$ f，对微控制器构成的系统，取 0.1~0.01 $\mu$ f 之间都可以。

### 三、降低噪声与电磁干扰的一些经验。

能用低速芯片就不用高速的，高速芯片用在关键地方。

可用串一个电阻的办法，降低控制电路上沿跳变速率。

尽量为继电器等提供某种形式的阻尼。

使用满足系统要求的最低频率时钟。

时钟产生器尽量靠近到用该时钟的器件。石英晶体振荡器外壳要接地。

用地线将时钟区圈起来，时钟线尽量短。

I/O 驱动电路尽量靠近印刷板边，让其尽快离开印刷板。对进入印制板的信号要加滤波，从高噪声区来的信号也要加滤波，同时用串终端电阻的办法，减小信号反射。

MCD 无用端要接高，或接地，或定义成输出端，集成电路上该接电源地的端都要接，不要悬空。

闲置不用的门电路输入端不要悬空，闲置不用的运放正输入端接地，负输入端接输出端。（10）印制板尽量使用 45 折线而不用 90 折线布线以减小高频信号对外的发射与耦合。

印制板按频率和电流开关特性分区，噪声元件与非噪声元件要距离再远一些。

单面板和双面板用单点接电源和单点接地、电源线、地线尽量粗，经济是能承受的话用多层板以减小电源，地的容生电感。

时钟、总线、片选信号要远离 I/O 线和接插件。

模拟电压输入线、参考电压端要尽量远离数字电路信号线，特别是时钟。

对 A/D 类器件，数字部分与模拟部分宁可统一下也不要交叉。

时钟线垂直于 I/O 线比平行 I/O 线干扰小，时钟元件引脚远离 I/O 电缆。

元件引脚尽量短，去耦电容引脚尽量短。

关键的线要尽量粗，并在两边加上保护地。高速线要短要直。

对噪声敏感的线不要与大电流，高速开关线平行。

石英晶体下面以及对噪声敏感的器件下面不要走线。

弱信号电路，低频电路周围不要形成电流环路。

任何信号都不要形成环路，如不可避免，让环路区尽量小。

每个集成电路一个去耦电容。每个电解电容边上都要加一个小的低频旁路电容。

用大容量的钽电容或聚酯电容而不用电解电容作电路充放电储能电容。使用管状电容时，外壳要接地。

OFweek电子工程网