**DSP硬件设计的几个注意事项**

　 [数字信号处理](http://ee.ofweek.com/CAT-2811-DigitalSignalProcessing.html%22%20%5Co%20%22%E6%95%B0%E5%AD%97%E4%BF%A1%E5%8F%B7%E5%A4%84%E7%90%86%22%20%5Ct%20%22_blank)芯片(DSP) 具有高性能的CPU（时钟性能超过100MHZ）和高速先进外围设备，通过CMOS处理技术，DSP芯片的功耗越来越低。这些巨大的进步增加了DSP[电路板](http://ee.ofweek.com/KW-dianluban.html)设计的复杂性，并且同简单的数字电路设计相比较，面临更多相似的问题。

　　以下是DSP硬件设计的一些注意事项,各位同仁可以参考。

　　**时钟电路选择原则**

　　1,系统中要求多个不同频率的时钟信号时,首选可编程时钟芯片;

　　2,单一时钟信号时,选择晶体时钟电路;

　　3,多个同频时钟信号时,选择晶振;

　　4,尽量使用DSP片内的PLL,降低片外时钟频率,提高系统的稳定性;

　　5,C6000、C5510、C5409A、C5416、C5420、C5421和C5441等DSP片内无振荡电路,不能用晶体时钟电路;

　　6,VC5401、VC5402、VC5409和F281x等DSP时钟信号的电平为1.8V,建议采用晶体时钟电路

　　**未用的输入／输出引脚的处理**

　　1,未用的输入引脚不能悬空不接,而应将它们上拉或下拉为固定的电平；

　　1)关键的控制输入引脚,如Ready、Hold等,应固定接为适当的状态,Ready引脚应固定接为有效状态,Hold引脚应固定接为无效状态；

　　2)无连接（NC）和保留（RSV）引脚,NC 引脚：除非特殊说明,这些引脚悬空不接,RSV引脚：应根据数据手册具体决定接还是不接；

　　3)非关键的输入引脚,将它们上拉或下拉为固定的电平,以降低功耗；

　　2,未用的输出引脚可以悬空不接；

　　3,未用的I/O引脚:如果确省状态为输入引脚,则作为非关键的输入引脚处理,上拉或下拉为固定的电平;如果确省状态为输出引脚,则可以悬空不接；

　　**为什么要片内RAM大的DSP效率高？**

　　目前DSP发展的片内存储器RAM越来越大,要设计高效的DSP系统,就应该选择片内RAM较大的DSP。片内RAM同片外存储器相比,有以下优点：

　　1)片内RAM的速度较快,可以保证DSP无等待运行。

　　2)对于C2000/C3x/C5000系列,部分片内存储器可以在一个指令周期内访问两次,使得指令可以更加高效。

　　3)片内RAM运行稳定,不受外部的干扰影响,也不会干扰外部。

　　4)DSP片内多总线,在访问片内RAM时,不会影响其它总线的访问,效率较高。

　　**如何编写DSP外部的Flash？**

　　DSP的外部Flash编写方法：

　　1.通过编程器编写：将OUT文件通过HEX转换程序转换为编程器可以接受的格式,再由编程器编写。

　　2.通过DSP软件编写：您需要根据Flash的说明,编写Flash的编写程序,将应用程序和编写Flash的程序分别load到RAM中,运行编写程序编写。

　　**DSP外接存储器的控制方式**

　　对于一般的存储器具有RD、WR和CS等控制信号,许多DSP（C3x、C5000）都没有控制信号直接连接存储器,一般采用的方式如下：

　　1.CS有地址线和PS、DS或STRB译码产生;

　　2./RD=/STRB+/R/W; 3./WR=/STRB+R/W。

　　**5V/3.3V如何混接？**

　　DSP的发展同[集成电路](http://ee.ofweek.com/KW-jichengdianlu.html)的发展一样,新的DSP都是3.3V的,但目前还有许多外围电路是5V的,因此在DSP系统中,经常有5V和3.3V的DSP混接问题。在这些系统中,应注意：

　　1)DSP输出给5V的电路（如D/A）,无需加任何缓冲电路,可以直接连接。

　　2)DSP输入5V的信号（如A/D）,由于输入信号的电压>4V,超过了DSP的电源电压,DSP的外部信号没有保护电路,需要加缓冲,如 74LVC245等,将5V信号变换成3.3V的信号。

　　3)仿真器的JTAG口的信号也必须为3.3V,否则有可能损坏DSP。

　**DSP工作的基本条件：**

　　1)DSP电源和地连接正确。

　　2)DSP时钟正确。

　　3)DSP的控制信号RS和HOLD信号接高电平。

　　4)C2000的watchdog关掉。

　　5)不可屏蔽中断NMI上拉高电平

　　6)READY引脚上拉高电平