

基于 FPGA 的提高激光测距分辨率的方法

张 辉 张顺法 梁 谦

(中国空空导弹研究院 河南洛阳, 471009)

摘 要: 提高激光测距分辨率有多种方法, TOF (time - of - flight) 法应用最为广泛。但是 TOF 法的测距分辨率很大程度上依赖于计数脉冲的时钟频率, 如果采用很高的系统全局时钟, 则加大了电路板的设计难度, 本文提出了在不提高系统全局时钟的前提下提高 TOF 测距分辨率的方法, 此方法基于 FPGA 的锁相环 (PLL) 技术, 在 FPGA 芯片内部实现将全局时钟倍频, 最高内部频率可以提高到 200 MHz, 而外部全局时钟仍然可以保持较低的水平 (20 MHz), 从而使测距分辨率提高了 10 倍。

关键词: 激光测距 TOF 法 FPGA 锁相环技术

1 引 言

激光测距因其主动性、准直性以及相干性等特点广泛应用于激光雷达、激光制导、激光近距探测等军事以及民用领域。激光测距的实现方法主要有以下三种: 三角法、频率调制法以及 TOF (time - of - flight) 法^[1], 其中 TOF 法的应用最为广泛。TOF 法的原理是基于测量一个窄激光脉冲发射到目标并返回所需的时间。TOF 法的测距分辨率主要依赖于以下因素: 计数脉冲的时钟频率、接收机带宽、激光脉冲的上升沿宽度、探测器信噪比等。其中最主要的莫过于计数脉冲的时钟频率, 如果直接采用系统晶振作为计数器时钟, 则因其频率不可能太高, 就难以提高 TOF 法的测距分辨率。本文在现场可编程逻辑门阵列 (FPGA) 芯片内部实现了时钟的倍频, 在不改变系统输入时钟的前提下, 使得计数器时钟频率提高到了 200 MHz, 从而提高了测距分辨率。

2 TOF 测距法

TOF 测距法的原理是基于通过测量激光束发射到经过目标反射回来的间隔时间, 目标的距离 R 由公式 (1) 计算可得^[2]:

$$R = \frac{ct}{2} \quad (1)$$

式中: c ——光速 (常量: 3×10^8 m/s);

t ——测得的光脉冲飞行时间。

对于利用计数脉冲计算光脉冲飞行时间的方法来说, 飞行时间 t 由下式给出:

$$t = \frac{N}{f_c} \quad (2)$$

式中: N ——飞行时间内计数脉冲个数;

f_c ——计数器时钟频率。

将公式 (2) 代入公式 (1) 得:

$$R = \frac{cN}{2f_c} \quad (3)$$

由公式 (3) 很容易知道, 当 f_c 越大时, 距离分辨率 ΔR 越小。例如, 10 MHz 的计数器时钟周期为 0.1 μ s, 对应于光飞行距离为 ± 15 m; 而 1 GHz 的计数器对应的分辨率为 ± 15 cm。

因此, TOF 测距法的测距分辨率与计数脉冲的时钟频率成反比, 即时钟频率越高, 测距分辨率也就越小。当然, 计数器的时钟频率受测距机的接收电路板主频率影响, 如果主频率太高的话, 势必产生高速电路板设计的一系列复杂问题, 下面将详细叙述利用 FPGA 的 PLL 技术, 在 FPGA 芯片内部实现时钟倍频, 同时利用单芯片的多时钟技术提高测距分辨率和测距时间。

3 FPGA 测距算法框图

现场可编程逻辑门阵列 (Field Programmable Gate Array) FPGA 是数字电子技术发展的方向, 并且随着成本的不断降低, 原来属于高端产品的 FPGA 因其

灵活的现场可编程性和在线重新配置等特点,越来越多地应用于无线通信、信号处理的逻辑控制以及各种军事应用领域。

由于 FPGA 的硬件可编程性,使得测距用计数脉冲的实现十分简单,图 1 是 FPGA 测距算法的原理框图。

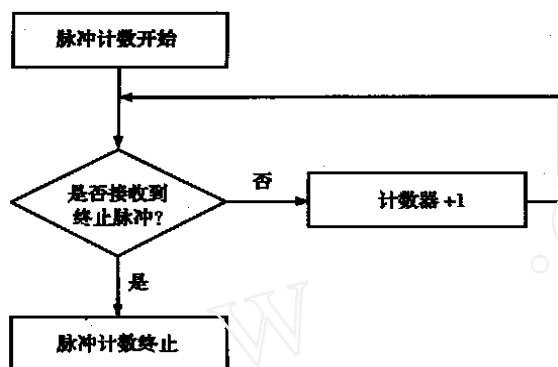


图 1 FPGA 的测距算法框图

4 PLL (Phase - Locked Loop)

PLL 电路主要用于通过监视参考信号(如系统时钟)来管理或者合成其他时钟。在 PLL 中,相位比较器测量外部参考信号和内部反馈信号的相位和频率

差异,根据所测得的差异,相位比较器调整压控振荡器(VCO),从而产生时间信号时钟反馈给相位比较器。此信号与输入的参考信号相比较,当参考信号和 VCO 反馈信号相等时,PLL 就锁定在参考信号。PLL 继续监视参考信号并调整 VCO 输出来补偿任何温度变化或电压起伏。图 2 是 Altera 公司的 APEX 芯片的 PLL 框图^[3]。

我们知道,可编程逻辑器件的规模越大,时钟管脚到寄存器的延迟时间就越长,时钟歪斜——到不同寄存器的时钟延迟之间的差异就越严重。

现在的一些 FPGA 生产厂商利用锁相环技术减少了时钟延迟和时钟歪斜现象,如 Altera 公司的 PLL 技术和 Xilinx 公司的 DLL (Delay - Locked Loop)^[4]技术。而 PLL 技术不仅仅能够锁定相位、减小时钟延迟,而且还具有 ClockBoost 技术,实现时钟的任意次倍频。

5 时钟倍频的 VHDL 实现

超高速集成电路硬件描述语言(VHSIC Hardware Description Language) VHDL 是可编程逻辑器件的硬件编程语言,对于各种逻辑电路,利用 VHDL 非常容易实现。图3是用FPGA实现时钟的10倍频,并分别

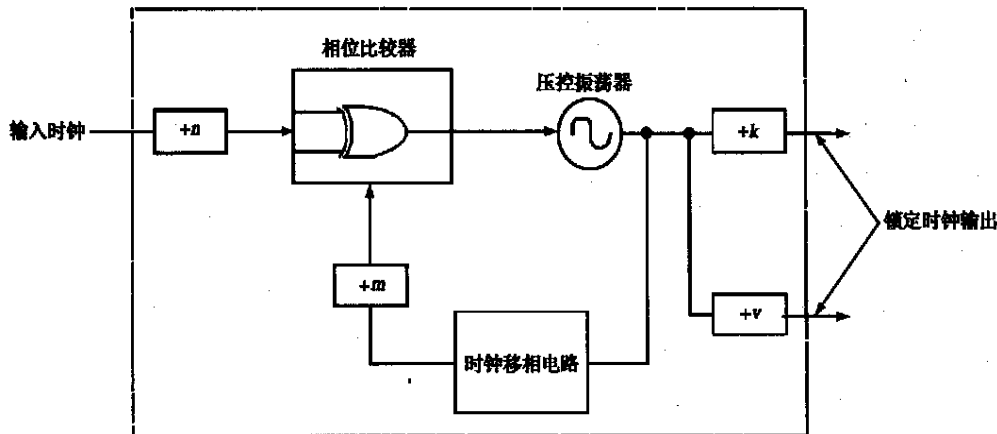


图 2 Altera 的 APEX 芯片的 PLL 原理框图

用输入时钟和倍频后时钟作为计数脉冲进行测量 TOF 的 VHDL 的设计模型。

此程序中使用的输入时钟频率为 20 MHz, 倍频倍数为 10 倍, 产生的输出时钟频率为 200 MHz。

6 仿真结果

仿真选定的器件为 APEX20KE160, 经过编译和仿真后, 得出的仿真图形如图 4 所示。

由图 4 中的输入时钟 Inclock 频率为 20 MHz, 利用 APEX20KE 芯片的 PLL 技术进行 10 倍频后, 得到输出时钟 clkout 频率为 200 MHz, 起始计数脉冲 Start

和终止计数脉冲 stop 的时间间隔为 356 ns, 用 Inclock 作为计数脉冲的计数器输出的脉冲个数 Coutin 是 7, 对应的测量时间间隔为 $7 \times (1/20) = 350$ ns, 与实际时间间隔偏差为 6 ns; 而用 clkout 作为计数脉冲的计数器输出的脉冲个数 Cout 是 71 个, 对应的测量时间间隔为 $71 \times (1/200) = 355$ ns, 与实际时间间隔偏差为 1 ns。

7 结 论

由以上的仿真结果可知, 利用 PLL 技术在 FPGA 中实现时钟倍频, 在不影响系统主时钟的情况下, 将

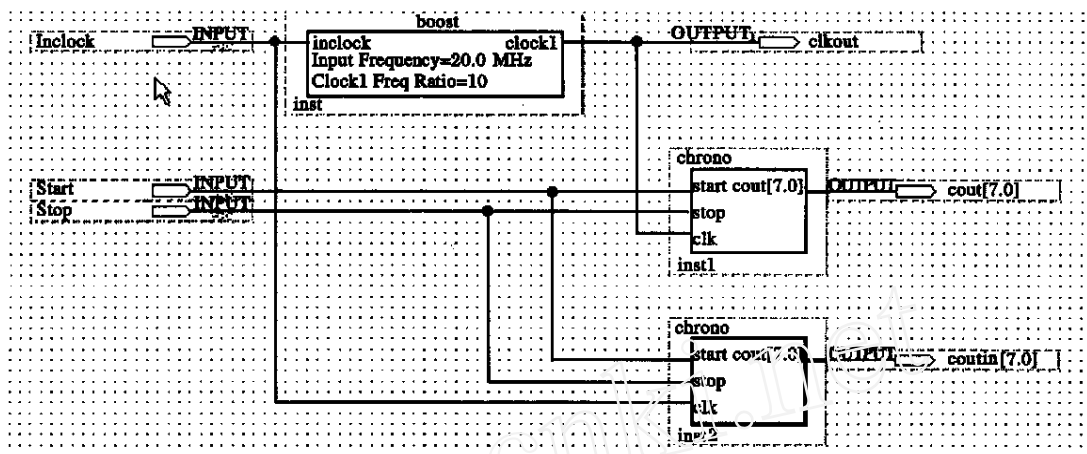


图 3 输入时钟和倍频后时钟分别作为计数脉冲的测距模块

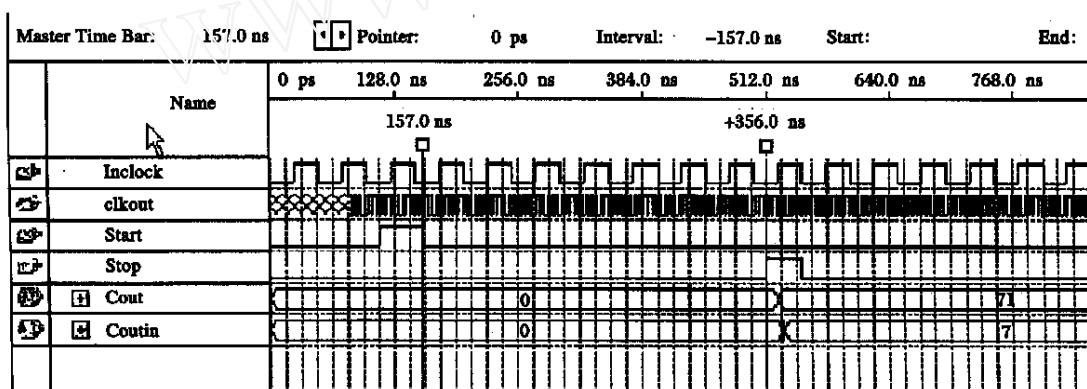


图 4 通过芯片内倍频提高测距分辨率仿真结果

计数器时钟频率从 20 MHz 提高到了 200 MHz，大大提高了测距分辨率。

然而，测距分辨率的提高不仅仅与计数脉冲时钟频率有关，可以知道 200 MHz 的计数时钟分辨率只有 ± 0.75 m，这个分辨率对于近距测距来说是不能满足要求的，因此，还需要其他的辅助手段提高测距分辨率，如利用脉冲计数和线性插值相结合的方法可以使得测距分辨率达到 ± 1.5 mm，具体可见参考文献[5]。

参 考 文 献

- 1 Jelalian A V. Laser Radar Systems. Boston: Artech House, 1992
- 2 熊辉丰. 激光雷达. 北京: 宇航出版社, 1994
- 3 Altera Data Book. 美国 Altera 公司, 2002
- 4 Xilinx Data Book. 美国 Xilinx 公司, 2002
- 5 Ahola R, Myllylä R. A New Method For Measuring The Time - of - Flight, In Fast Laser Range Finding. Proc. SPIE, 1986. Vol. 654, pp. 19 - 25

(上接第 8 页)精确制导弹药不仅能精确选择瞄准点，而且还可以有效地识别和精确攻击目标的要害部位。光电制导技术将在凝视红外成像制导基础上发展双色红外(如 3~5 μm 、8~12 μm)或多色(如红外/紫外/可见光)复合多光谱制导及多光微透镜光学制导技术，并可以开辟远红外 18~100 μm 波段的探测技术；雷达制导技术将重点发展毫米波二维或三维

成像主动寻的技术，并将毫米波被动探测技术发展为毫米波被动成像制导技术，还将在宽带微波被动寻的技术上发展微波被动成像制导技术，进而发展先进的共形相控阵雷达制导技术。

上述技术成熟，加速了精确制导武器向高级精确制导化和微小型化发展的进程，将使精确制导武器以精度代替能量，以精确摧毁代替现在通过高爆大能量摧

毁目标的手段，从而避免伤及无辜，实现武器装备向高效能和轻小型发展，其特征是精度愈来愈高、智能程度愈来愈高、体积愈来愈小，以便形成良好的发展循环。可以预言精确制导武器将使精确打击能力成数量级上升，而且成本和使用数量将减小。未来微制导武器如几十克到几千克精确制导弹药也将在战场上发挥重要作用。