

FPGA FIR 数字滤波器设计方案

本文简要介绍了 FIR 数字滤波器的结构特点和基本原理，提出基于 FPGA 和 DSP Builder 的 FIR 数字滤波器的基本设计流程和实施方案。

在 Matlab/Simulink 环境下，采用 DSP Builder 模块搭建 FIR 模型，根据 FDATool 工具对 FIR 滤波器进行了设计，然后进行系统级仿真和 ModelSim 功能仿真，其仿真结果表明其数字滤波器的滤波效果良好。通过 SignalCompiler 把模型转换成 VHDL 语言加入到 FPGA 的硬件设计中，从 Quartus II 软件中的虚拟逻辑分析工具 SignalTap II 中得到数字滤波器实时的结果波形图，结果符合预期。

0 引言

在信息信号处理过程中，数字滤波器是信号处理中使用最广泛的一种方法。通过滤波运算，将一组输入数据序列转变为另一组输出数据序列，从而实现时域或频域中信号属性的改变。常用的数字滤波器可分为有限脉冲响应（FIR）滤波器和无限脉冲响应（IIR）滤波器两种。其中，FIR 数字滤波器具有严格的线性相位，而且非递归结构也保证了运算的稳定性。在实时性要求比较高的应用场合，采用可编程芯片 FPGA 加以实现，相比于 DSP 芯片或专用芯片的实现方法，具有高速、高精度、高灵活性的优点。本文在采取了一种基于 FPGA 和 DSP Builder 的方法设计 FIR 数字滤波器时，采用了层次化、模块化的设计思想，遵循 DSP Builder 的设计开发流程，在 Matlab/Simulink 中建立模型并进行系统级仿真，再进行 Verilog 语言转换，ModelSim 仿真验证无误后实现了 FIR 数字滤波器的实时测试。

1 FIR 数字滤波器的基本原理及结构

对于一个 FIR 滤波器系统，它的冲击响应总是有限长的，其系统函数可以记为：

$$H(z) = \sum_{i=0}^{k-1} b_i z^{-i} \quad (1)$$

该数学表达式可用差分方程来表示：

$$y(n) = \sum_{i=0}^{k-1} x(n-i)h(i)$$

式中： $x(n)$ 是输入采样序列； $h(i)$ 是滤波器系数； k 是滤波器阶数； $y(n)$ 表示滤波器的输出序列。

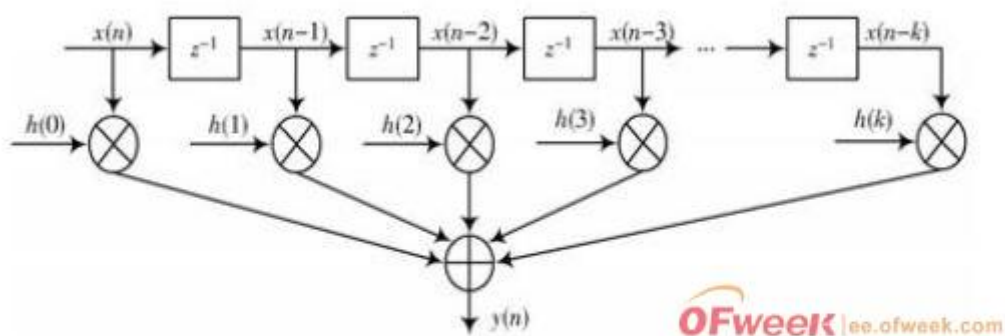


图1 FIR 数字滤波器的结构框图

图1为k阶FIR数字滤波器的结构框图。

2 FIR 数字滤波器的设计流程

该设计流程主要涉及到 Matlab/Simulink、DSPBuilder 和 Quartus II 等工具软件的开发设计。整个设计流程，包括从系统描述直至硬件实现，可以在一个完整的设计环境中完成，如图2所示。

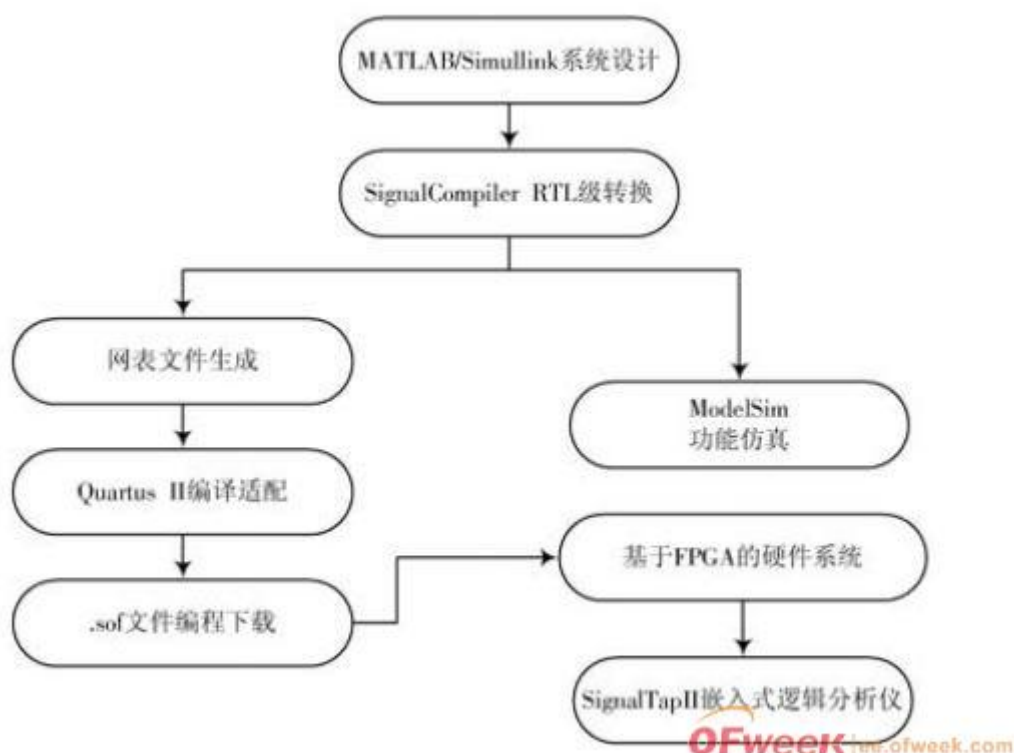


图2 DSP Builder设计流程图

(1) Matlab/Simulink 中设计输入, 即在 Matlab 的 Simulink 环境中建立一个扩展名为 mdl 的模型文件, 用图形方式调用 Altera DSP Builder 和其他 Simulink 库中的图形模块 (Block), 构成系统级或算法级设计框图 (或称 Simulink 设计模型)。

(2) 利用 Simulink 的图形化仿真、分析功能, 分析此设计模型的正确性, 完成模型仿真, 也叫系统级仿真。

(3) DSP Builder 设计实现的关键一步, 通过 Signal-Compiler 把 Simulink 的模型文件转化成通用的硬件描述语言 Verilog 文件。

(4) 转换好的 Verilog 源代码用 ModelSim 软件进行功能仿真, 验证 Verilog 文件的正确性。接下来的几个步骤是对以上设计产生的 Verilog 的 RTL 代码和仿真文件在 Quartus II 工具软件中进行综合、编译适配, 生成扩展名为 .sof 的文件加载到 FPGA 硬件系统中。

3 FIR 数字滤波器的详细设计

3.1 FIR 数字滤波器模块设计与系统级仿真

根据 FIR 数字滤波器的原理, 在 Simulink 环境下搭建 16 阶的 FIR 数字滤波器结构, 如图 3 所示。

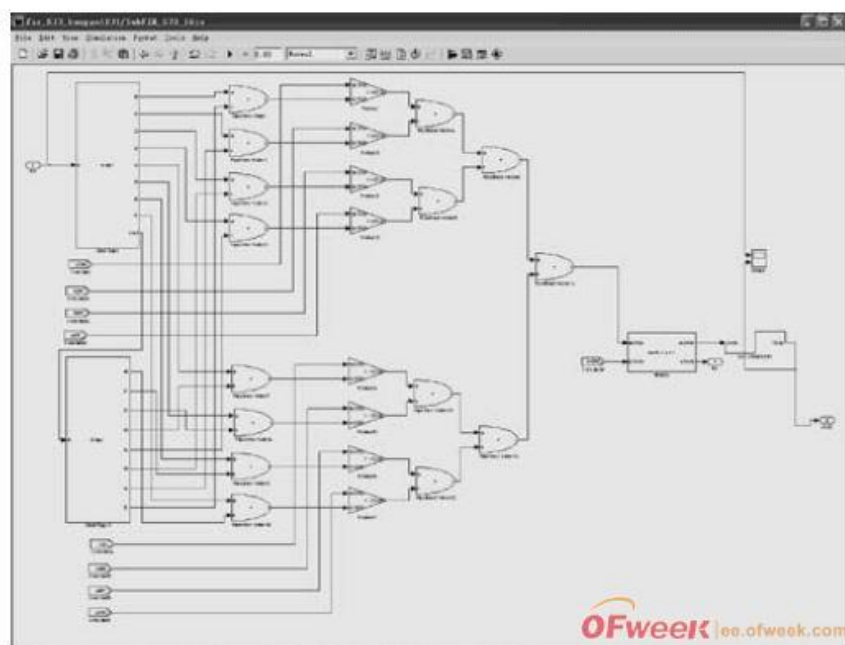


图3 FIR 数字滤波器的 Simulink 结构图

在模型的搭建过程中, 使用了两个 8 位的 Shift Taps 移位寄存器模块对输入信号进行分解, 然后根据数字滤波器的原理进行算法计算。

模型搭建好之后，需要确定 16 阶 FIR 数字滤波器的系数，在这使用 Matlab 中的 FDATool 滤波器设计工具来确定。确定好滤波器的指标：

- (1) 设计一个 16 阶的 FIR 滤波器；
- (2) 低通滤波器；
- (3) 采样频率 f_s 为 16 384 Hz, 截频点频率 f_c 为 533 Hz；
- (4) 输入序列位宽为 16 位。

在设计滤波器界面中，如图 4 所示，进行下列选择：

- (1) 滤波器类型 (Filter Type) 为低通 (Lowpass)；
- (2) 设计方法 (Design Method) 为 FIR, 采用窗口法 (Window)；
- (3) 滤波器阶数 (Filter Order) 定制为 15 (设置为 15 阶而不是 16 阶，是由于设计的 16 阶 FIR 滤波器的常系数项 $h(0) = 0$)；
- (4) 滤波器窗口类型为 Kaiser, Beta 为 0.5.

所有的选项确定好后，在 FDATool 滤波器设计界面中点击 “Design Filter”，Matlab 就会计算滤波器系数并作相关分析。图 5 所示为滤波器的幅频响应，图 6 所示为滤波器的阶跃响应。



图 4 FDATool 的滤波器设计界面

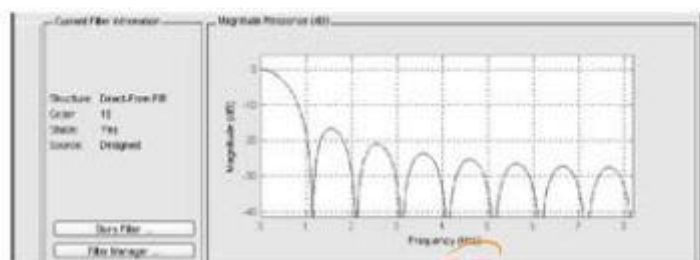


图 5 FIR 滤波器的幅频响应

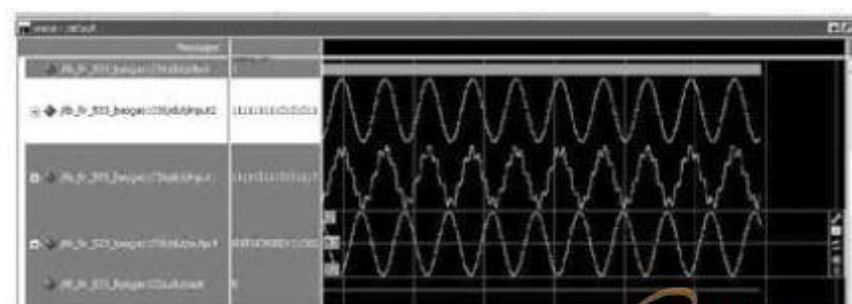


图 10 ModelSim 时序仿真结果图

由于所有的模块都在同一个 Simulink 图中,这时的 Simulink 设计图显得很复杂,不利于阅读和排错,因此把 FIR 数字滤波器模型做成一个子系统在设计图中显示出来,如图 7 所示,这就是 Matlab 中的层次化设计,在顶层设计图中,滤波器作为名称是 SubFIR_533_16.js 的一个模块出现。同时,图 7 中还设置了其他模块,包括仿真信号输入模块、Signal Tap II 信号实时监测模块、Signal Compiler 模块、硬件开发板模块、TestBench 模块。

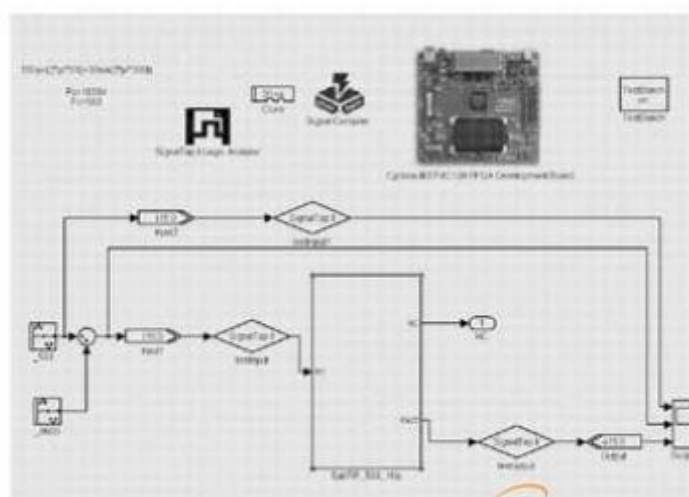


图 7 FIR 数字滤波器的顶层设计图

这样整个滤波器的 Simulink 电路设计模型就完成了,然后要对该模型进行系统级仿真,查看其仿真结果,在频率为 533 Hz 的波形输入上加入了频率为 3 600 Hz 的扰动波形,其 Simulink 仿真结果如图 8 所示。

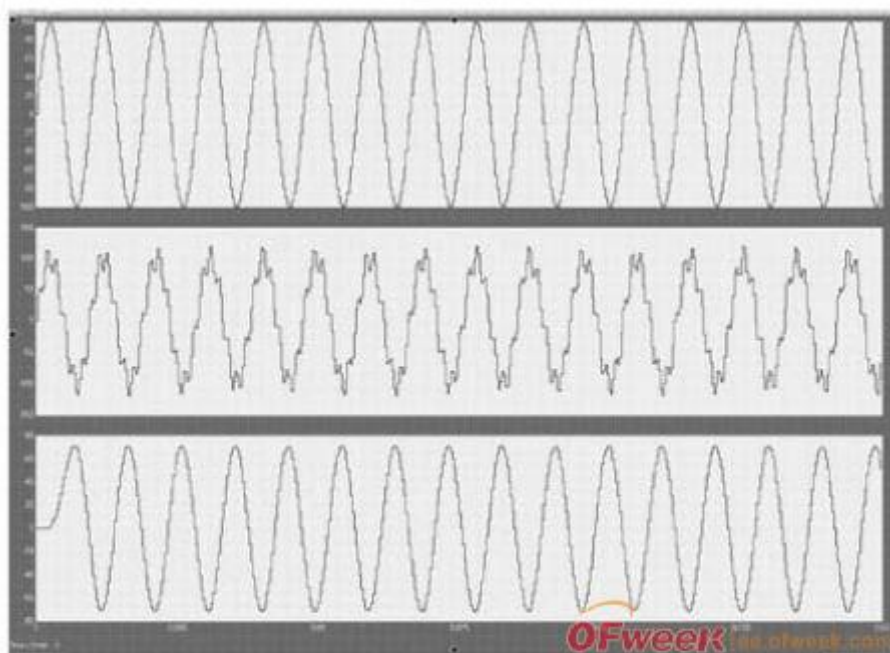


图8 Simulink 仿真结果图

图中，上面的波形是 533 Hz 的输出，中间的波形是 533 Hz 加上 3 600 Hz 高频干扰后的输出，下面的波形是经过滤波后的输出。

3.2 从模型文件到 Verilog 代码的 RTL 级转换和编译适配

利用 Signal Compiler 模块将电路模型文件即 Simu-link 模块文件(.mdl)转换成 RTL 级的 Verilog 代码表述和 Tcl (工具命令语言) 脚本。这种转换是用来对数字滤波器 Simulink 模型进行结构化分析的[5]. 获得转换好的 VHDL 描述后就可以调用 Verilog 综合器，这里我们选用 Quartus II，用来生成底层网表文件，同时也就可以得到其网表文件对应的 RTL 电路图。如图 9 所示。



图9 数字滤波器 RTL 电路图

3.3 数字滤波器的 ModelSim 功能仿真

ModelSim 软件可支持 VHDL 和 Verilog 混合仿真，无论是 FPGA 设计的 RTL 级和门级电路仿真，还是系统的功能仿真都可以用 ModelSim 来实现[4-5]. 由 Signal Com-piler 生成的 Verilog 硬件描述语言模块，在 ModelSim 中可以直接对 Verilog 代码进行仿真，检测源代码是否符合功能要求。图 10 所示的 16 阶

FIR 数字滤波器的功能仿真结果图。与图 8 的 Simulink 仿真结果图的波形一致, 表明经过转换的 Verilog 源代码可以实现正常的滤波功能。

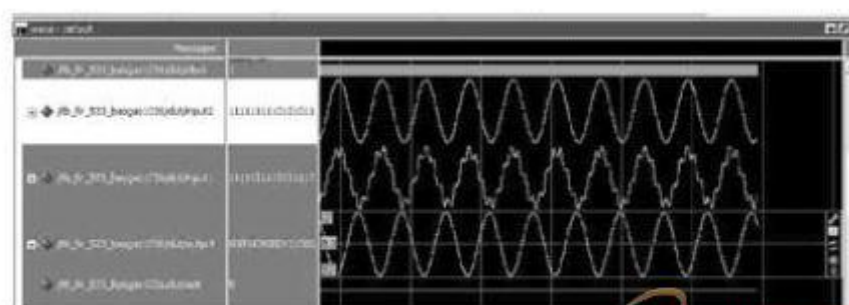


图 10 ModelSim 时序仿真结果图

3.4 FIR 数字滤波器的 FPGA 硬件实现

FIR 数字滤波器一般是嵌入在采集器的采集板卡中进行工作的,把由数字滤波器的 Verilog 源代码生成的模块嵌入到采集板卡的 FPGA 逻辑中,如图 11 所示。

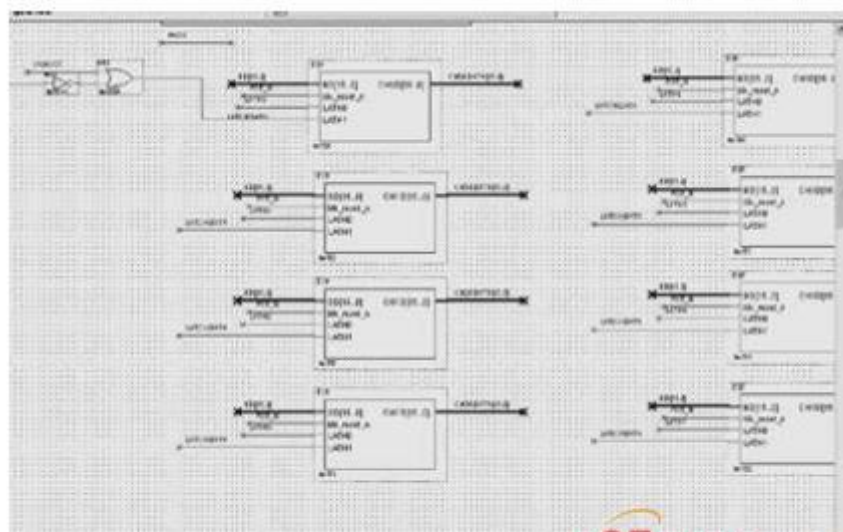


图 11 数字滤波器 Verilog 模块逻辑图

在 Quartus II 环境下，数字滤波器的内部逻辑经过编译适配之后，以 .sof 文件的形式直接加载到 FPGA 中。

4 FIR 数字滤波器的 FPGA 实时测试

进行实时测试的电路是应用 FPGA 和 USB 的数据采集电路, 如图 12 所示。

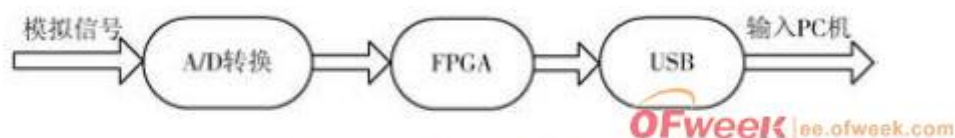


图 12 测试电路原理框图

测试时把信号发生器设置好的输入信号输入到 A/D, 采样得到的数据经过 FPGA, 再通过 USB 与 PC 机相连, 应用 Quartus II 中的 SignalTap II 工具进行实时检测, 结果如图 13 所示, 其中, 上面的波形为输入波形, 频率为 200 Hz, 下面的波形为输出波形, 由于 200 Hz 在低通的带通内, 所以两者的波形相差不大。当输入波形为频率 533 Hz 时, 由于是在截频点, 其输出波形的幅值约为输入波形幅值的 71%, 如图 13 和 14 所示。

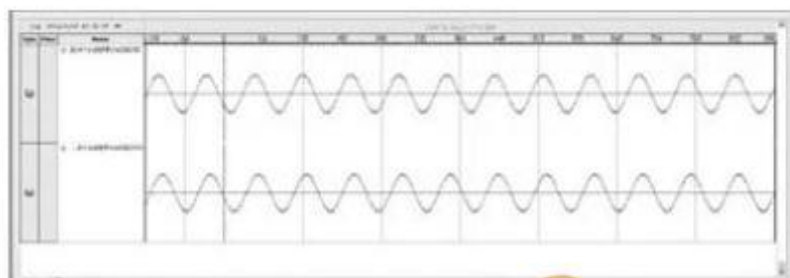


图 13 数字滤波器的硬件调试结果图 (一)

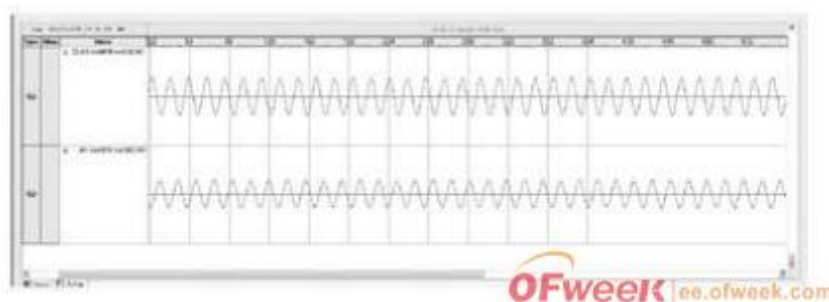


图 14 数字滤波器的硬件调试结果图 (二)

5 结束

FIR 数字滤波器在数字信号处理领域有着广泛的使用, 本文通过仿真和实时验证两种方式实现了一种基于 FPGA 和 DSP Builder 的 FIR 数字滤波器。先根据 FIR 滤波器的基本原理和结构框图搭建了滤波器的模型, 再根据滤波器的性能指标通过 Fdatool 工具对其进行设计, 并通过系统级仿真和 ModelSim 功能仿真进

行了简要的可行性分析，最后通过 Quartus II 软件对 FIR 数字滤波器进行实时验证，表明本方案所设计的 FIR 滤波器功能正确，性能良好。

Ofweek 电子工程网