

# 单板电磁兼容(EMC)的设计

说明：原文（英语）来自Freescale Semiconductor, Inc.的应用文档，

作者， T.C. Lun, Applications Engineering, Microcontroller  
Division, Hong Kong.

译者：xddjd, mail: djdym@126.com

这篇文章讨论了Board-Level的电磁兼容设计，包括元器件的选择，电路的设计及印刷电路板的layout。

文档分为下列几个部分：

- PART 1 综观EMC
  - PART 2 器件的选择及电路的设计
  - PART 3 印刷电路板layout技术
  - 附录 A EMC术语表
  - 附录 B 抗干扰测量标准
-

## 第一部分 EMI和EMC纵览：

在现代电子设计中EMI是一个主要的问题。为抗干扰，设计者要么除掉干扰源，要么保护受影响的电路，最终的目的都是为了达到电磁兼容的目的。

仅仅达到电磁兼容也许还不够。虽然电路工作在板级，但它有可能对系统的其他部件辐射噪音、干扰，从而引起系统级的问题。此外，系统级或者设备级的EMC不得不满足某些辐射标准，以便不影响其他设备。

许多发达国家在电子产品上有非常严格的EMC标准。为了达到这些要求，设计者必须考虑从板级开始的EMI抑制。

一个简单的EMI模型包含三个元素，如图1所示：

1. EMI源
2. 耦合路径
3. 感应体

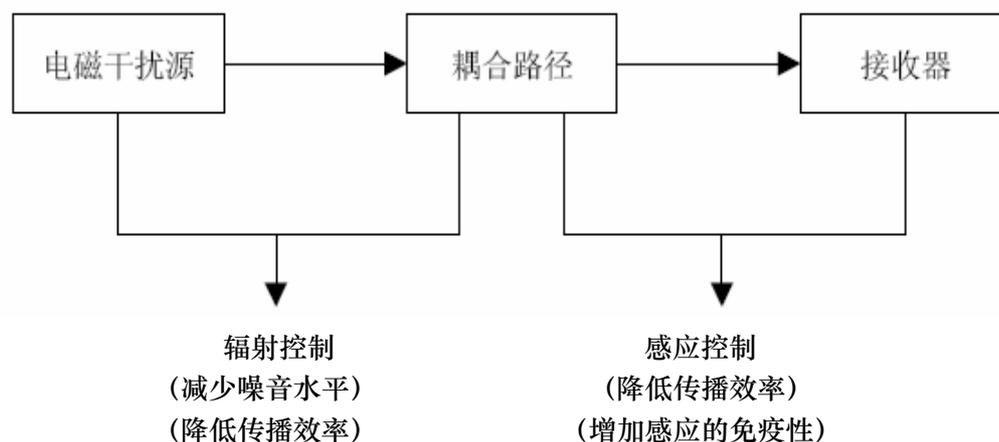


图1： EMI元素

**(1) EMI源：** EMI源包括微处理器，微控制器，静电放电，传播器，瞬态电源器件，如机电继电器，电源开关，闪电等。在一个微控制的系统里面，时钟电路通常是宽带噪音的最大产生者，这种噪音分布在整个频段范围内。随着快速半导体使用的增加，这种电路可以产生高达300MHZ的谐波干扰。

**(2) 耦合路径：** 噪音能耦合进电路的一个最简单的途径是通过导体传导。如果一条线经过一个吵杂的环境，那么它会引入噪音并把噪音传播到余下的电路中。举例来说，噪音可以通过电源线传播到其他电路中。耦合也可以发生在哪些共有公共阻抗的电路。举例来说，两个电路共享运送电源供给的导体和到地回路的导体，那么当其中一个电路突然产生一个电流要求时，因为这两个电路共享电源线和源阻之间的公共阻抗，另外一个电路的供给电压就会降低。这种耦合影响可以通过降低共享阻抗来减少。不幸的是，源阻抗耦合是电源固有的，而且不能减少，同样的影响也发生在到地的导体上面。在一个电路中的数字回流在另外一个电路的回路上产生一个反弹，一个不稳定的地将严重影响某些低电平模拟电路的性能，例如运放，ADC转换和传感器。对所有的电路来说，耦合也发生在有电磁辐射的区域。无论什么时候电流发生变化时，电磁干扰波也就产生了，这些电磁波可以耦合到附近的电路和干扰电

路中的其他信号。

(3) **敏感设备**：所有的电子电路都能接收电磁干扰传播。尽管有一些EMI通过RF辐射被接收，但大多数EMI都通过传导被接收。在数字电路中，许多临界信号容易收到EMI的干扰，比如说RESET,中断和控制信号，运放，控制电路，电源调整芯片也容易收到噪音的干扰。

为了达到EMC的标准，设计者应当减小产品中的射频辐射，增加产品的抗干扰性。辐射和感应的免疫性都可以归类到辐射耦合和传导耦合，辐射耦合对高频影响更多，而传导耦合对低频影响更多一些。

(4) **EMC花费**：最有效的花费即最少的花费是在设计初期就考虑EMC的要求。（见图2）

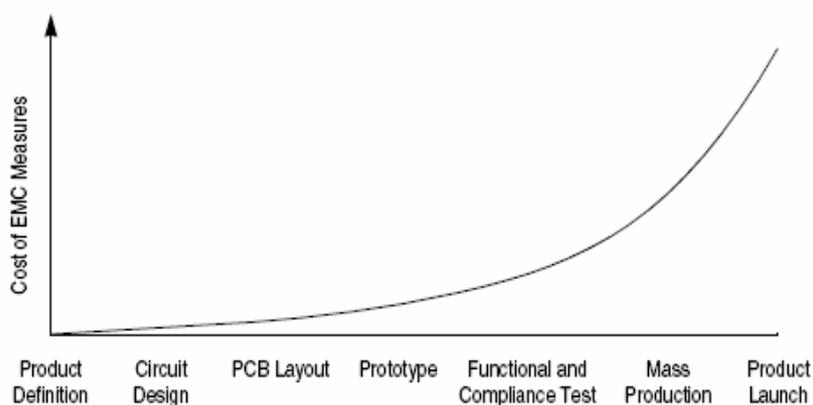


Figure 2. Cost of EMC Measures

当设计者选择器件，设计电路和做 PCB layout 时，把 EMC 放在首要位置来考虑好像不大可能，但是本档有什么建议要你牢记的话，那就是尽可能减少贫瘠的元件选择，拙劣的电路设计和拙劣的 PCB 的 layout。

## 第二部分 元器件选择和电路设计：

**元器件的选择和电路的设计是单板 EMC 性能的主要影响因素。**每种类型的电子元器件都有她自己的特性，这就需要仔细考虑设计。下面的章节将讨论一些普通电子元器件和电路设计的技术来减少或者抑制 EMI。

**(1) 器件封装：**所有电子的元器件的封装可以分为两类，无铅封装和有铅封装。有铅封装的元器件有寄生效应，特别是在高频范围中。铅构成了一个低值电感，大概是  $1\text{ nH/mm lead}$ 。在终端也可以产生一个小的电容效应，在  $4\text{ pf}$  附近。因此应当尽可能的减少铅的长度。

无铅和表面贴的元器件相比来说有更小的寄生效应，大约有  $0.5\text{ nH}$  的寄生电感和  $0.3\text{ pF}$  的终端电容。从 EMC 的观点来看，首选应当是表面贴元器件，然后是径向的有铅封装元器件，然后才是轴向的有铅封装元器件。

**(2) 电阻：**因为低的寄生效应，表面贴电阻是首选。有铅封装类型的电阻，选择顺序由高到低的次序是 炭膜电阻 > 金属氧化膜电阻 > 线绕电阻。

金属氧化膜电阻，由于在低频（MHZ 之下）有显性的寄生影响，所以它一般适合用在大功率密度和高精度的电路中。

线绕电阻有很高的敏感度，所以应当避免在频率敏感的电路应用。最好在大功率处理电路中应用。

在放大电路设计中，电阻的选择极为重要。在高频范围内，由于在电阻上的感应影响，阻抗会增大。因此，增益调整的电阻应尽可能地放置在靠近放大电路的地方，来降低板子的感应系数。

在上拉/下拉电阻的电路中，晶体管或者 IC 电路的快速通断会引起开关噪音。为了降低这种影响，所有的偏置电阻都尽可能的放在靠近有源器件的地方。

在稳压及相关电路中，直流偏置电阻都应当尽可能的放在靠近有源器件的地方来降低去耦影响。

在 RC 滤波网络中，必须考虑电阻的感应影响，因为线绕电阻的寄生感应极容易引起本地振荡。

**(3) 电容：**选择合适的电容不是一件容易的事情，因为电容有不同的类型及行为反应。然而，电容是解决许多 EMC 问题的重要器件，下面将讨论最普通的电容的类型，特性及用法。

铝电解电容通常是由在两个电解质中间缠上螺旋状的金属箔构成，每单位体积可以达到很高的电容值，但是也增加了内部的感应系数。

钽电容由带直接焊盘和脚位连接的块电解质构成，它有比电解电容小的感应系数。

陶瓷电容由多层的金属和陶瓷介质组成，在低于  $1\text{ MHz}$  的频率范围内有显性的寄生效应。

不同介质对不同频率有不同的响应。一种类型的电容在不同的频段范围可能比另外一种更适用，铝和钽电解电容在低频结尾处有优势，主要在蓄能和低频滤波器中采用；在中频范围内（ $\text{KHz} \sim \text{MHz}$ ）陶瓷电容有优势，主要用作去耦和高频滤波器。低漂移的陶瓷电容和云母电容主要用在超高频或者微波应用中。

为了最佳的 EMC 性能，电容最好有很小的等效串联电阻，因为等效串联电阻对信号有衰减作用，特别是工作频率接近于电容的谐振频率时。

**(3.1) 旁路电容：**旁路电容的主要作用的对交流旁路，滤掉从敏感区域进入的干扰。旁路电容主要担当高频的旁路器件，来减少在电源部分的瞬态电路的要求。通常，铝和钽电容是旁路电容的最佳选择，它们的取值取决于 PCB 上瞬态电流的需要，但是通常取值在 10~470UF，假如 PCB 上有许多集成电路，开关电路和 PCB 上带有长导线的程序存储单元，可能需要更大的电容。

**(3.2) 去耦电容：**在有源器件开关时产生的高频开关噪声通过电源线向其他地方散播，去耦电容的主要作用是局部稳定有源器件的直流电源，减小通过板子传播的开关噪音，将这些噪音去耦到地。

理想的讲，旁路电容和去耦电容应当在电源入口的地方尽力靠近放在一起，来滤掉高频噪声，去耦电容的取值大约是旁路电容的 1/100 到 1/1000，去耦电容应当尽可能的靠近 IC，因为导线电阻会降低去耦电容的作用。

陶瓷电容经常被用来做去耦作用，其取值取决于最快信号的上升/下降沿的时间。举例来说，对于一个 33MHZ 的时钟频率，使用 4.7nf 到 100nf 的去耦电容，对于 100MHZ 的时钟频率，使用 10nf。另外一方面，电容的等效串联电阻也影响电容的去耦作用，最好选用等效串联电阻小于 1 欧姆的电容。

**(3.3) 电容谐振频率：**下面我们将主要在电容谐振频率的观点上，讨论如何决定旁路电容和谐振电容的取值。在下图 3 中，在谐振频率之前，电容还保持着电容的特性，而大于谐振频率时，由于引线长度和导线电感的影响，电容的作用将变成电感的作用。表 1 列举了两种类型陶瓷电容的谐振频率，一种是标准的 0.25 inch 的插件电容，3.75n H 的内部电感系数，另外一种贴片电容，内部感应系数是 1n H，我们可以从表中看到贴片电容的谐振频率是插件电容的两倍左右。

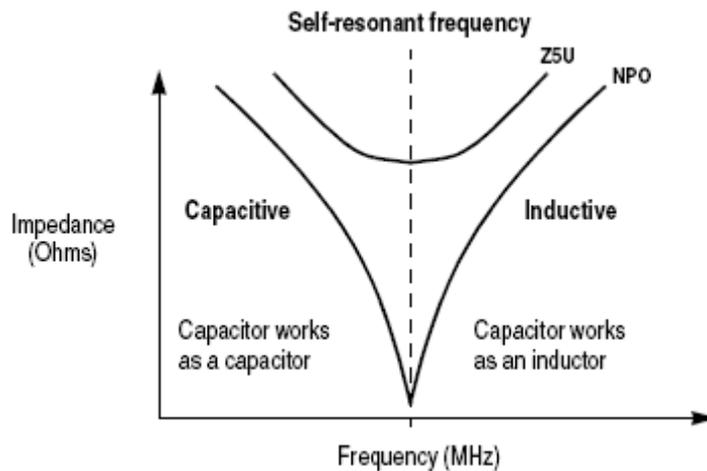


图 3: 阻抗特性和不同的介质材料

表 1: 电容的谐振频率

Capacitor Value	Through-hole (0.25 leads)	Surface mount (0805)
1.0 $\mu\text{F}$	2.5 MHz	5 MHz
0.1 $\mu\text{F}$	8 MHz	16 MHz
0.01 $\mu\text{F}$	25 MHz	50 MHz
1000 pF	80 MHz	160 MHz
100 pF	250 MHz	500 MHz
10 pF	800 MHz	1.6 GHz

另外影响去耦电容效率的因素是电容的介质材料，生产去耦电容常用两种材料，一种是钽钛氧体 (Z5U), 另外一种是铌钛氧体 (NPO)，Z5U 有更大的介电常数，它的谐振频率从 1MHz 到 20MHz, NPO 的介电常数比较小，有较高的谐振频率(超过 10MHz)，所以，Z5U 更适合在低频电路中做去耦电容，而 NPO 更适合在高频电路中（超过 50MHz）。

这里有一个惯例就是使用并行使用两个去耦电容. 这种做法可以减少更大频宽的由电源引起的开关噪声. 在抑制由有源器件开关时产生的射频电流方面，多个并行去耦电容可以提升 6 dB 的作用。

多个去耦电容不只是提供一个更大频宽的分配，它们还可以提供更大的引线宽度来降低导线电感，更大的提升去耦作用. 两个并行电容的取值应当不同，相差两个数量级左右，比如说 0.1 $\mu\text{F}$  和 0.001 $\mu\text{F}$  的两个并行去耦电容，来获得更好的去耦效应。

有一点必须注意的是数字电路的去耦，低的等效串联电阻(ESR)比谐振频率更重要, 因为低 ESR 提供一个到地的小电阻，可以提供充足的去耦作用，即使在超过谐振频率时，电容等效于电感的时候。

**(4) 电感:** 电感是电场和磁场的连接器件. 因为可以和磁场相互影响固有的本性，所以电感比其他元器件更敏感. 和电容一样，当我们恰当的应用电感时，它可以解决许多 EMC 问题。

有两种基本类型的电感：开环和闭环. 它们的不同在于磁场的环路. 在开环设计中，磁场通过空气来完成自身的环路，而闭环设计中，磁场围绕它自身的中心材料完成磁电路. 如图 4 所示。

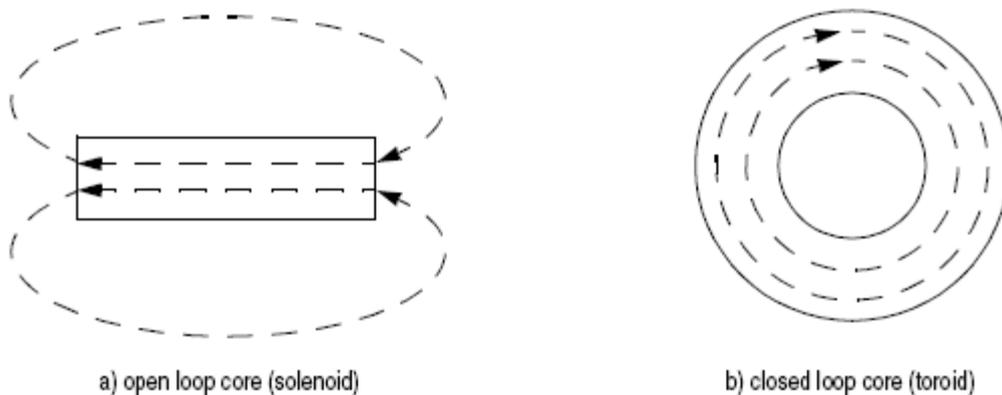


图 4

电感比电容或者电阻的好处是它没有寄生感应，所以插线电感和贴片电感几乎没有有什么不同。

由于开环电感的磁场要通过空气，产生辐射引起 EMI 的问题。开环电感的选取，绕线筒形状的要比直杆形状的和螺线管形状的要好，因为它的磁场由中心控制(即本地局部化磁场)。如图 5 所示。

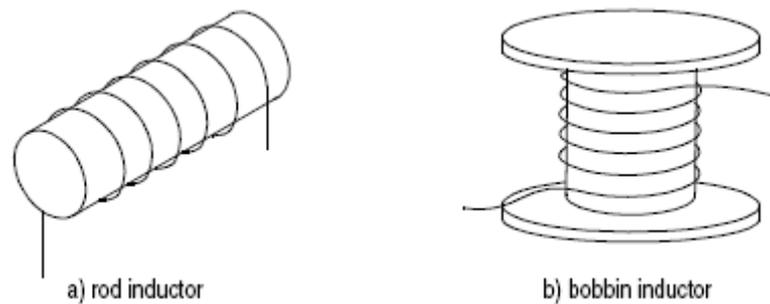


图 5 开环电感

对于闭环电感，磁场完全由中心材料控制。所以这种类型的电感用在电路设计中更理想一点，除了它比较贵之外。这种类型的电感一个优点就是它不仅使磁场环绕在周围，它还对任何易于辐射进电感的磁场有自消去作用。

电感有两种中心材料：铁或者铁氧体。铁中心材料的一般用于低频应用中（几十 KHZ），而铁氧体中心材料电感一般用于高频（MHZ）。因此，铁氧体中心材料电感更适合用在 EMC 应用中。

有两种电感经常用在 EMC 的应用中，一个是 ferrite beads（铁氧体磁珠），一种是 ferrite clamps（铁氧体磁心）。

Ferrite bead 是一个简单的旋转电感，由一个引线通过 ferrite（铁氧体）材料组成。在高频方面提供 10db 的衰减，在直流方面衰减很小。

Ferrite clamp 同 ferrite bead 相似，在频率超过 MHZ 的区域提供 10db 到 20db 的衰减，无论是在 common mode（共模）或 differential mode（差模）模式下。

在 DC-DC 转换电路中，电感必须是低辐射的和可以处理高饱和电流。基于这些要求，绕线筒（bobbin）形状的电感有这些特性，适合应用。在电源供给电路中，需要一个 LC 滤波器使低阻抗的供给电路和高阻抗的数字电路阻抗匹配。电路如图 6 所示。

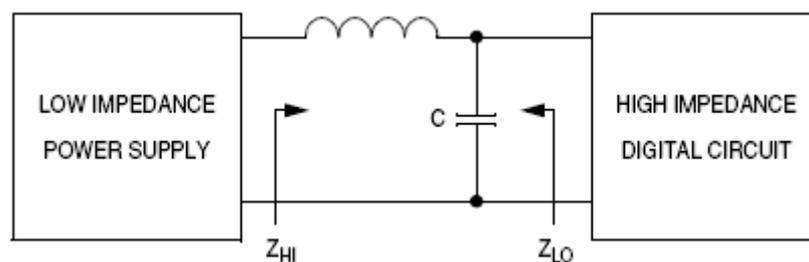


图 6 LC 滤波

在交流滤波中，一种广泛使用的带电感的滤波方法如图 7 所示。

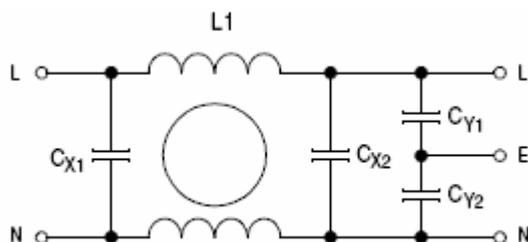


图 7 交流滤波

在图 7 中，L1 是共模电感，也叫共模扼流圈，在共模模式下，有微弱的感应系数，在差模模式下，有很强的感应系数，使它在两种模式下都可以提供滤波作用。L1, Cx1 和 Cx2 组成了差分滤波网络来滤掉电源线之间的噪音。L1, Cy1 和 Cy2 组成了共模滤波网络来减小地回路和大地偏差之间的噪音。对于一个 50 欧姆的终端阻抗来讲，这个滤波可以在差模下降低 50dB/decade 的 EMI，而在共模模式下可以降低 40dB/decade 的 EMI(电磁干扰)。

(5) 二极管：二极管是最简单的半导体器件。结合它们独特的个性，一些二极管可以解决或者改善有关 EMI 的问题。表二总结了二极管的类型。

类型	特性	EMC 应用	备注
整流二极管	大电流；反应慢，低消耗	无	电源供给单元
肖特基二极管	低压降，大电流，快速反转	高速瞬时信号和毛刺保护	电源供给的开关模式
齐纳二极管	反转模式下运用，快速反转瞬变电压	ESD 保护，过压保护，	—
发光二极管	正向工作模式，无 EMC 冲突问题	无	当 LED 贴在面板上并且离 PCB 有一些距离时，那么它有辐射
瞬变电压抑制二极管 (TVS)	和齐纳二极管类似，但工作在雪崩模式，比较大的箝位耐压范围，箝位正压或负压的瞬时变化	在 ESD 放电时传导高压瞬时脉冲毛刺等	—
变阻二极管 (VDR: 压敏电阻) (MOV: 金属氧化物变阻器)	金属涂层陶瓷粒，每个粒子的作用相当于高势垒的肖特基二极管，主线 ESD 保护，瞬变电压的最快速响应。	主线 ESD 保护，高压和高瞬变电压保护	可选齐纳二极管或者 TVS

(5.1) 二极管部分应用：许多电路带有感抗，开关电流在感抗系统中会产生瞬时干扰，二极管就是抑制这种干扰（例如瞬变电压）最有效的器件。下面举例说明。

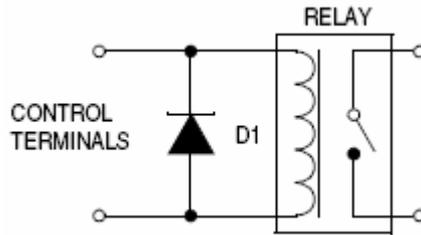


图 8 继电器瞬变抑制

在图 8 中，控制终端开/关螺旋线圈，从螺旋线圈上引起的瞬变电压将耦合和辐射到电路其他地方。二极管 D1 就是用来箝位这种瞬变电压的。

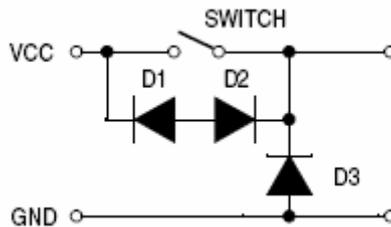


图 9：直流开关瞬变抑制

在图 9 中的二极管配置是为了抑制从高压开关那边来的瞬变电压。

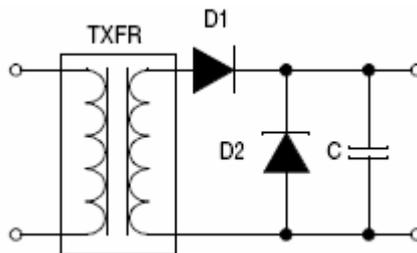


图 10：变压器直流瞬变抑制

图 10 表示了典型的变压和整形配置电路，D2 是肖特基或齐纳二极管，用来抑制整形后的电压瞬变。

在电机控制电路中，当电机运转时，有刷和无刷电机都可以产生轻触噪音和整流噪音，这时候就需要抑制二极管来减小这种噪音，为了更有效的减少这种噪音，二极管应当尽可能的放在靠近电机接触点的地方。

在电源入口电路处，需要一个 TVS 管或者高压变阻器来抑制电压瞬变。

在信号接口电路处存在的一个 EMI 问题是 ESD，屏蔽电缆线可以用来防护这种 ESD，也可以用 TVS 或者变阻器用来保护信号线。

**(6) 集成电路：** 现代数字集成电路多数是基于 CMOS 技术基础上制造。CMOS 器件的静态功耗比较低，但是快速开关 CMOS 器件需要从电源处有更多的瞬变功率分配。一个高速 CMOS 器件对电源的动态要求可能会超过一个类似的 Bipolar 器件（TTL）。因此在这些器件旁边需要使用去耦电容来减少对电源的瞬态需要。

**(6.1) 集成电路的封装：**现在，哪里有许多类型的集成电路封装。和分离器件一样，集成电路的引线越短，EMI 问题就越少。所以表面贴的集成电路是 EMC 设计更佳的选择，因为它的低的封装寄生效应和小的回路面积。更近一步的提高是在 PCB 上直接使用芯片邦定的方法。

IC 管脚的排列方法也会影响 EMC 的效能。将 IC 的电源供给线放在 IC 封装的中央，可以获得从 die（芯片核）到封装管脚最短的引线长度，也就具有更低的引线感应系数，接近的 VCC 和 GND 管脚可以使去耦电容更容易布局和作用更明显（因为更小的回路面积）。

在集成电路中和 PCB 上或者整个系统中，时钟电路是影响 EMC 效能的主要因素之一。许多从 IC 而来的干扰都和时钟频率或者它的谐波分量有关。这就需要更好的电路设计和 PCB layout 技术应用在系统时钟设计中来减小这些干扰。良好的接地，充足的去耦电容和旁路电容都可以减小这些辐射。在 CLOCK 的分配上使用高阻抗的缓冲也可以减小从时钟信号哪里来的反射和噪音干扰。

对于组合逻辑电路，时钟抖动，电力线谐波可能会在使用不同种类的逻辑器件时产生，例如 CMOS 和 TTL，这主要时因为它们有不同的开关门限。为了避免这种问题，最好使用同类逻辑器件。现在多数设计者选择 CMOS 器件时因为它们有一个很高的干扰极限。由于使用 CMOS 技术制造，CMOS 逻辑器件是和微控制器接口的首选逻辑器件。一个重要的概念是使用 CMOS 器件时，输入脚位在不使用的时候应当接地或者接到电源，因为在 MCU 电路中，噪音干扰也许会使这些没有使用的输入端口变得无规律的变化，有可能使 MCU 执行不该执行的代码。

**(6.2) 电压调节器：**对于典型的调节电路，在调节器的输出近端（尽可能靠近调节器）应该有适当的去耦电容，因为在输出和负载之间的距离会在导线上产生一个感应效应，从而使调节器产生内部振荡。典型的，在调节器的输入/输出端各放置一个 0.1 $\mu$ F 的去耦电容来防止可能产生的内部振荡及滤除掉高频干扰。另外，还应当各放置一个大的旁路电容来减小输出纹波，电容的大小使 10 $\mu$ F/A(安培)。如图 11 所示。

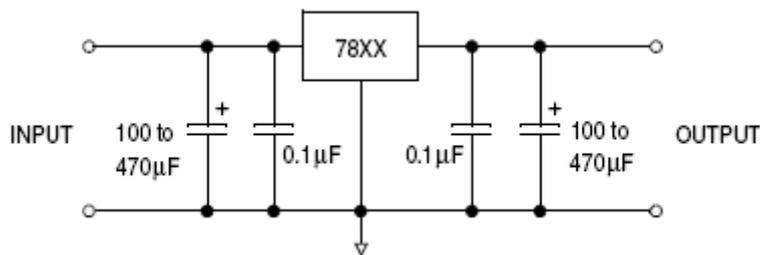


图 11：电压调节器的旁路和去耦

**(7) 线路终端（匹配法）：**当一个电路工作在高速模式时，源端和终端的阻抗匹配非常重要。因为假如阻抗不匹配，可能会引起信号的反射和振荡。这种额外产生的 RF 信号会辐射或者耦合到电路的其他部分，产生 EMI 的问题。终端负载会减少这种我们不希望的影响。

终端负载通过匹配源端和终端的阻抗来减小信号的反射和振荡，也可以减缓快速信号的上升/下降沿。

这里有几种终端匹配的方法，每一种都有它的优缺点，表 3 列举了所有的方法。

终端类型	相关费用	增加延时	电源要求	临界参数	备注
串行	低	是	低	$R_s = Z_0 - R_0$	好的噪音容限
并行	低	很小	高	$R = Z_0$	电源损耗是一个问题
RC	中	很小	中	$R = Z_0$ $C = 20 \sim 600\text{pf}$	检查带宽和额外的电容
戴维南	中	很小	高	$R = 2 \times Z_0$	对于 CMOS 要更大功率
二极管	高	很小	低	-	仅用在二极管上的一些振荡噪音和过冲电压

**(7.1) 串联端接匹配/源端:** 如图 12 表示了串联源端匹配的方法, 加上源端电阻  $R_s$  是为了实现源端  $Z_s$  和传输线特性阻抗  $Z_0$  之间的匹配。它也可以吸收从负载反射回路的干扰。

$R_s$  应当尽可能的靠近源端放置,  $R_s$  取值为:  $R_s = (Z_0 - Z_s)$ ;  $R_s$  一般取值在 15 ~ 75 欧姆之间。(译者注: 许多电路里面串联着 33 欧姆的电阻, 其实主要是为了实现阻抗匹配, 而不是限流)。

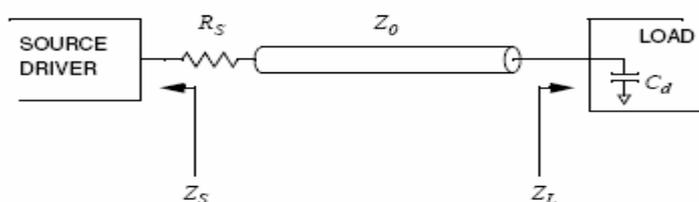


图 12: 串联端接匹配电路

**(7.2) 并联端接匹配:** 图 13 表示了一个并联端接匹配方法。加上并联端接电阻  $R_p$  是为了等效电阻  $R_p \parallel Z_L$  (并联电阻值) 和  $Z_0$  相匹配。但是这个方法并不适合手持设备或产品, 因为  $R_p$  的电阻值小 (典型值是 50 欧姆), 会消耗大的电流, 需要设备提供更大的电流 (100mA, @5V, 50 欧姆)。这种方法也加入了一个延时, 延时大小为  $Z_{OL} \parallel C_d$ , 这里  $Z_{OL} = R_p \parallel Z_L$ , 而  $C_d$  是负载的输入分流电容。

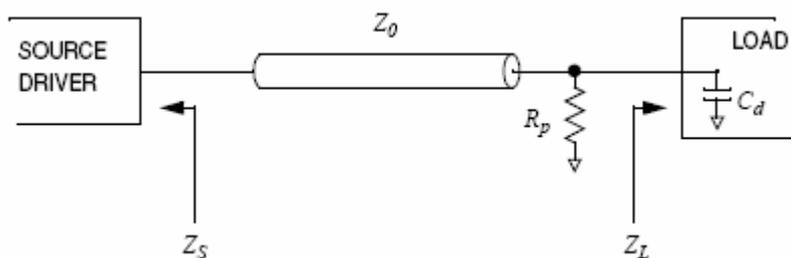


图 13: 并联端接匹配电路

**(7.3) RC 端接匹配:** 图 14 表示了 RC 端接匹配方法。同并联端接匹配类似, 只不过是多加了电容  $C_1$ , 电阻  $R$  同并联端接匹配类似, 使与  $Z_0$  相匹配,  $C_1$  的作用是为  $R$  提供驱动电流, 并把 RF 干扰信号过滤到地。因此 RC 端接匹配方法比并行端接匹配需要更小的源极驱动电流。  $R$  和  $C_1$  的取值决定于  $Z_0$  和  $T_{pd}$  (往返传播时间), 和  $C_d$  的时间常数,  $RC = 3 \times T_{pd}$ ; 这里  $R \parallel Z_L = Z_0$ ,  $C = C_1 \parallel C_d$ 。

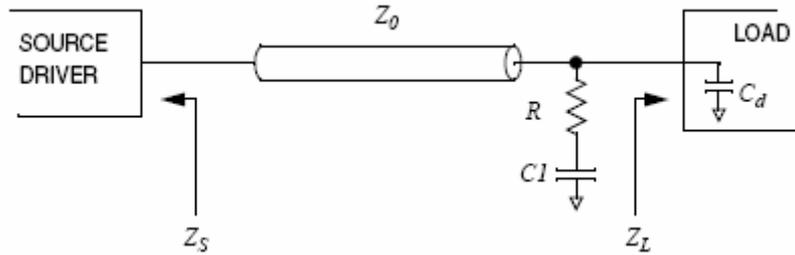


图 14: RC 端接

**(7.4) 戴维南端接匹配:** 图 15 表示了戴维南端接匹配。使用 R1 上拉电阻和 R2 下拉电阻，可以是逻辑高低电平适合目标负载的要求。R1 和 R2 的取值:  $R1 || R2 = Z_0$ 。

$R1 + R2 + Z_L$  的值要让最大电流不超过源端驱动所能提供的电流。

举例来说,  $R1 = 220$ ,  $R2 = 330$ , 那么  $V_{ref} = R2 * V_{CC} / (R1 + R2) = 3V$ ; 其中  $V_{CC}$  是电源电压。

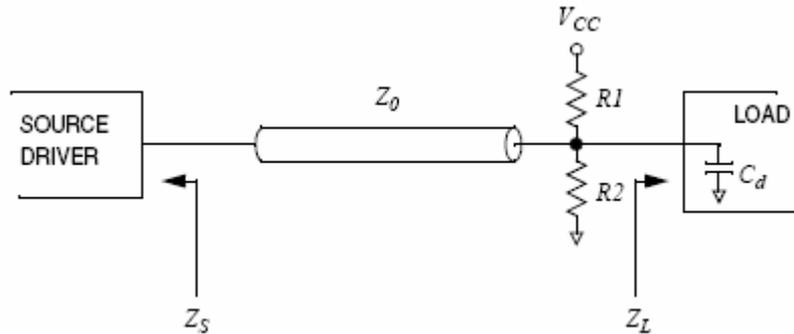


图 15: 戴维南端接

**(7.5) 二极管端接:** 图 16 表示了二极管端接方法。和戴维南端接类似，只不过是将电阻换成了二极管，仅有很低的功耗。二极管的这种接法主要是为了对从负载反射来的干扰信号实现过压限制。二极管不影响传输线特性阻抗。肖特基二极管和快速开关二极管是这种匹配的最佳选择。这种方法的好处是不需要知道传输线特性阻抗  $Z_0$ ，而且它还可以同其他端接方法联合使用。这种端接方法一般用在 MCU 内部电路中，来保护 I/O 管脚。

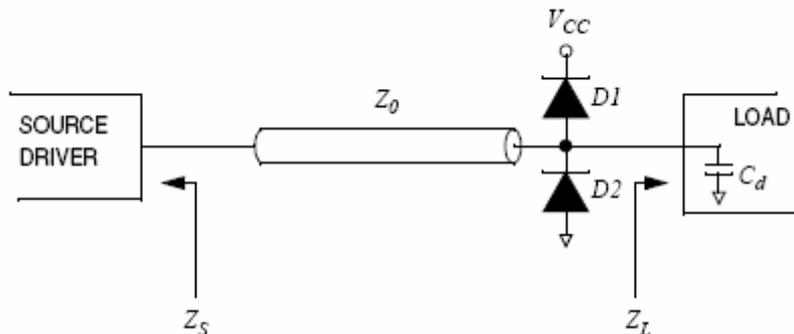


图 16: 二极管端接

**(8) 微控制器电路:** 现在许多 IC 厂商一直在减小芯片的尺寸(内核电路尺寸, DIE Size)来让每片硅晶片(SILICON WAFER)可以生产更多的芯片。这样做通常影响到快速晶体管。因此, 尽管 MCU 的时钟可能没有增加, 但是使上升/下降时间会增加, 从而引起的谐波分量的提升使频率上升。在许多情况下, 减小芯片尺寸并不会通知给用户, 因此 MCU 可能在一个电

路中刚开始是好的，但是在产品周期的某个时间可能发生 EMC 问题。最好的解决方法是在一开始就考虑到芯片尺寸减小的可能，来设计一个稳健的电路。

许多实时应用中需要高速的 MCU，设计者应当十分注意他们的电路设计和 PCB Layout 来减少潜在的 EMC 问题。随着 MCU 的处理能力增强，它需要的功耗就越大。将一个电源供给电路十分靠近的放在微控制器旁边是不难办到的，再加上一个旁路电容可以减少 DC 电源对其他电路的影响。

MCU 有一个片上振荡器，需要外接一个自身用的晶振，可以避免使用从其他时钟驱动电路来的时钟信号。这个独立的时钟使 MCU 对从系统其它部分辐射来的干扰具有更高的免疫性。MCU 通常在时钟频率处有很高的电源要求，因此，将时钟信号靠近 MCU 放置会减小这种要求。

**(8.1) I/O 端口：**大多数 MCU 的管脚是高阻输入端口或者输入/输出端口。高阻输入端口容易受干扰的影响，假如输入端口没有适当处理(译者注：感觉原文本意是把高阻输入端口不要悬浮)的话，也可能在 MCU 的寄存器中锁存进错误的逻辑电平。输入端口假如在 MCU 内部没有被处理，那么需要通过一个电阻 (4.7K 或者 10K 欧姆) 来上拉或者接地来让输入端口有确定的状态。浮接的输入端口的电平通常在供给电压值的一半左右，或者因为内部泄漏电流的原因，在一个不确定的值。

在外部中断 IRQ 或者复位 RESET 引脚上的处理比一般 I/O 更为重要，因为在这两个引脚上的干扰噪音如果引起错误的触发，那么可能会在电路的动作上产生一个灾难性的后果。CMOS 器件通常有比较大的电流损耗，当输入端口浮接，输入触发器处于半开半闭状态，会产生一个对 IC 的泄漏电流。处理好高阻输入端口就会减少对电源电流的要求，跟其它 EMC 的好处一样。

**(8.2) IRQ 端口：**IRQ 脚位是 MCU 最为敏感的管脚之一，因为它可以在 MCU 上产生中断并引起 MCU 的动作。IRQ(外部中断)既可能从一个在 PCB 上离 MCU 有点距离的设备上引入，甚至也可以在一个内嵌的适配器或者子系统卡上引入，因此，对连接到 IRQ 端口的任何接线的 ESD 的防护是十分重要的。在 IRQ 脚位上使用双向二极管，Transorb 二极管，或者金属氧化物变阻器 (MOV) 是较为恰当的做法，其作用一是对 IRQ 引脚做 ESD 防护，另外一个作用是减少过压冲击和阻尼振荡。即使应用中对价格问题比较敏感，在 IRQ 管脚上的抗干扰和 ESD 保护的措施也不能减少。

**(8.3) RESET 管脚：**因为不同的应用利用了 MCU 上电启动和掉电时的各种不同的情况，不合适的复位可能会引起许多问题。复位输入最基本的功能是保证在电源上电时 MCU 执行应用代码。

在电源上电时，MCU 的供电电压开始加载，在晶振稳定振荡前会有一些时间。因此，在 RESET 管脚上的电平应持续一段时间。最简单的 RESET 时间是由 RC 网络组成，电容通过一个电阻充电到一定电位的电平，直到 MCU 内部的晶振电路检测到 RESET 管脚上的电压达到了逻辑高电平。

从理论上来看,对于 RESET 的 RC 网络的电容和电阻值没有什么要求,但是这里有其他方面需要考虑。RESET 管脚内部的泄漏电流最大定义在 1 $\mu$ A (针对 MOTOROLA 的 HC08 MCU 而言),这就意味着电阻最大是 100K 欧姆,而且电容不能是电解电容,保持停止电流最小。在考虑低花费、低泄漏和高频反应性能好的基础上,陶瓷电容是一个折衷的选择。RESET 管脚的电容值非常低 (HC08 MCU 低于 5pf)。因为最大下拉电流大约在 5mA ,@1V 左右,阻抗的最小值也要受到限制。加上外部电容的低阻抗电源,应保证上拉电阻的最小值为 2K 欧姆。

为了防止电压超过供电电压,也为了使当电源关掉时电容快速放电,推荐在 RESET 管脚上使用箝位二极管。

**(8.4) 振荡器:**许多 MCU 使用了反相放大器,和外部的晶体或者陶瓷晶体一起构成皮尔斯振荡器,下面将讨论反相放大器最少需要多大的增益(跨导)来和外部的器件一起完成振荡。

图 17 演示了用在 MCU 上面,频率范围值从 1MHZ ~ 20MHZ 范围的一个皮尔斯振荡器的构成。振荡器 MCU 内部的部分电路用简单的形式表示就是以与非门后面加以一个非门电路。这个 NAND(与非门)有两个输入,一个连接到 MCU 的管脚 OSC1,一个连接到 MCU 内部的停止振荡信号。

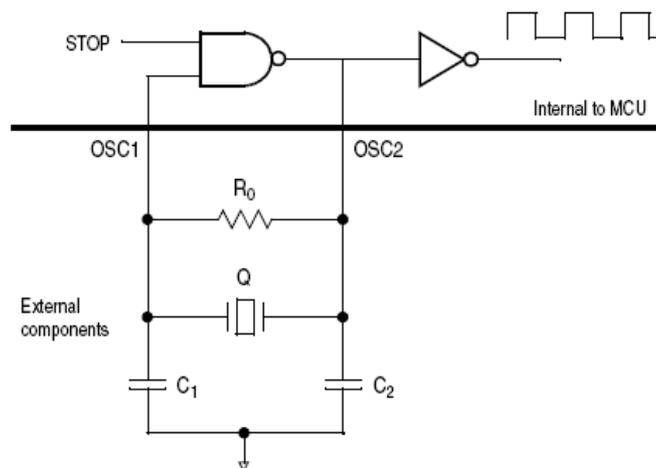


图 17: 标准皮尔斯振荡器 (1MHZ ~ 20MHZ)

对于振荡电路来讲,必须有正反馈,而且闭环增益要大于 1。电阻  $R_0$  的使用导致了负反馈,增加了开环增益的要求, $R_0$  通常应当尽可能的大来降低负反馈,同时克服上电时的电流泄漏。当使用的晶体在 1MHZ ~ 20MHZ 时, $R_0$  的取值在 1M ~ 10M 欧姆之间。对于一个陶瓷晶体, $R_0$  通常取值 1M 欧姆。

晶体  $Q$  和电容  $C_1$ 、 $C_2$  共同构成了振荡电路。 $C_1$  和  $C_2$  代表了外部电容和任何并行的寄生电容。一个晶体或者陶瓷晶体的小信号等效电路如图 18 所示。

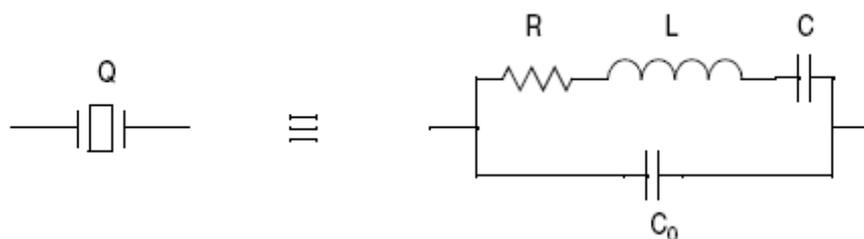


图 18: 晶体等效电路

在等效电路中， $R$  称为串联电阻， $L$  和  $C$  分别被称为启动/串联电感和电容。 $C_0$  是分流电容，它代表了振荡器所有低频板极电容和晶体盒寄生电容的总和，所有  $OSC1$  和  $OSC2$  之间的寄生电容都包括在这个值中。

对于一个特定的晶体， $R$ ， $L$ ， $C$  和  $C_0$  的值都在晶体的数据说明书 (datasheet) 中指明。为了计算这些值，生产商必须给这些晶体送一定的信号，也就是这些值从晶体中的电源消耗达到一定水平时获得。然而，在振荡器启动时，通过晶体的唯一信号是热噪声，所以在晶体中的功耗非常得低，众所周知，当晶体中的功耗降低时，它的等效电阻就增加， $R$  的最大值就通过这种方法由生产商确定。

由于  $R_0$ ， $C_1$  和  $C_2$  的值不但取决于内部反相器的特性，也取决于外部晶体或陶瓷晶体的特性，准确的参数配置应当由生产商的 datasheet 推导出来。

### 第三部分：印刷电路板 Layout 技术：

除了元器件选择和电路设计，好的印刷电路板的 Layout 技术也是 EMC 性能的重要影响因素之一。因为 PCB 是系统中固有的一部分，所以通过 PCB layout 技术来改进 EMC 性能对最终产品不会增加任何额外的费用。

应当注意，对于 PCB Layout 来讲没有什么绝对和严格的规则。没有任何一个规则可以包含整个 PCB Layout。大多数的 PCB Layout 受板子的尺寸和板子的层数限制。某些 Layout 技术可能用在某种电路中，而在其它 Layout 中不用。许多时候这取决于 PCB Layout 工程师的经验。

不过这里也有一些一般的规则，将在下面的章节中讨论。这些规则应当被当作一般的指导。应当记住拙劣的 PCB Layout 可以产生更多的 EMC 问题，所以优良的 PCB Layout 比拙劣的 PCB Layout 出现问题而去改善它要好很多，而且，在很多情况下，增加滤波器和元器件并不能解决由拙劣的 PCB Layout 所带来的 EMC 问题，到最后，可能需要重新做板子的 Layout。因此，一开始就做好 PCB Layout 是节省花费的最好办法。

**(1) PCB 的基本特性：**在垂直方向的叠层看，PCB 由一系列的层压板，走线和预浸材料组成。在多层 PCB 中，为了方便调试，大多数设计者将走线层放在最外层。

在 PCB 上的走线有阻抗，电容和电感特性。

- 阻抗：走线的阻抗是由铜的重量和横切面面积决定。举例来说，1 盎司的铜有 0.49m 欧姆/单位面积的阻抗。
- 电容：走线的电容值是由绝缘体 ( $E_oE_r$ )，覆盖面积 A，和走线之间的距离 h 决定。公式是  $C = E_oE_r * A/h$ ，其中  $E_o$  是自由空间的介电常数 (8.854pf/m)， $E_r$  是在 PCB 衬底的相对介电常数 (在 FR4(应当是环氧树脂层)层为 4.7)。
- 电感：走线的电感均匀地分布在走线中，大约 1nH/m。

对于 1 盎司的铜走线，在 0.25mm (10mil) 厚度的 FR4 层板的基础上，在地线层上的 0.5m (20mil) 的宽度和 20mm (800mil) 的走线将具有 9.8m 欧姆的电阻，20nH 的电感和 1.66pf 耦合到地的电容。将这些值同器件的寄生特性相比是微不足道的，但是所有走线的总值可能会超过器件的寄生特性值，所以设计者应当将这种情况考虑进去。

下面是 PCB Layout 的一些一般指导：

- 增加走线之间的距离来减小电容耦合的串扰。
- 将电源和地平行布置来最大化 PCB 的电容。
- 将敏感及高频的走线尽量远离高干扰的电源走线。
- 加宽电源和地的走线来减小电源线和地线之间的阻抗。

(2) **分割**：分割是使用物理分割技术来减小不同类型电路之间的耦合，特别是电源走线和地线之间的耦合。图 19 演示了一个分割 4 种不同电路的例子。在地线面，非金属的沟道隔离了 4 个地线面。电感和电容为各个部分的板子提供了滤波的作用，同时减少了不同电路的电源走线之间的耦合。高速数字电路布置在靠近电源入口的地方，是因为它们对电源有很高的瞬态要求。接口电路可能需要 ESD 防护和瞬变抑制电路或电路。对于电感和电容来讲，最好使用不同的电感电容值来代替仅使用一个大电感和大电容，因为这样对于不同的电路可以提供不同的滤波特性。

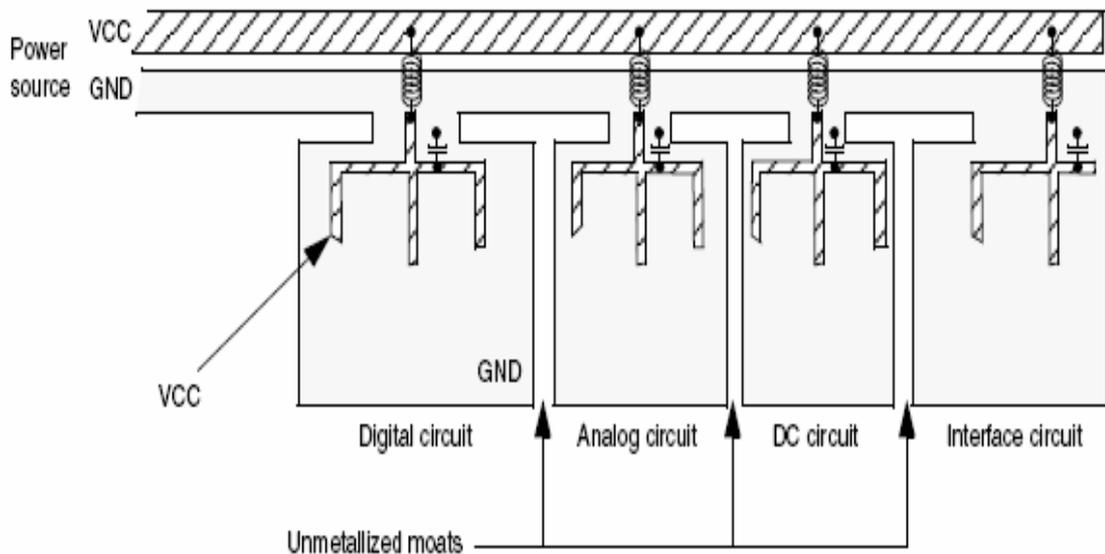


图 19：分割功能模块

(3) **局部电源和 IC 的去耦**：局部的去耦可以减少沿电源线传播的干扰。在电源到 PCB 入口的地方加上大的旁路电容会对低频的纹波起到滤波的作用，还有对突然的电源需要起到储能的作用。另外，在每个 IC 的电源和地之间应当加上去耦电容，而且尽可能的放在靠近 IC 管脚的地方，这样有助于滤掉从 IC 出来的开关噪声。

(4) **基准面的射频电流**：不管对多层 PCB 的参考地层来说，还是对单面板的地走线来讲，电流的回路总是从负载回到电源。PCB 的回路阻抗越低，它的 EMC 性能越好。因为从负载到电源的射频电流的影响，长的回路会相互产生互耦。因此，回路的长度越短，回路的面积越小越好。

(5) **走线分离**：走线分离是为了减小同一层 PCB 上临近走线的串扰和干扰耦合（通过磁通量耦合）。3W 规则表述了所有的信号走线必须分开的距离规则，边到边的分离如图 20 所示。为了减小磁耦合，在临界信号旁边布置基准地来隔离耦合到这些信号线的其它干扰。

（译者注：对于干扰敏感的信号线，例如时钟线，RESET 线，IRQ 线，音视频线，最好应用 3W 规则）

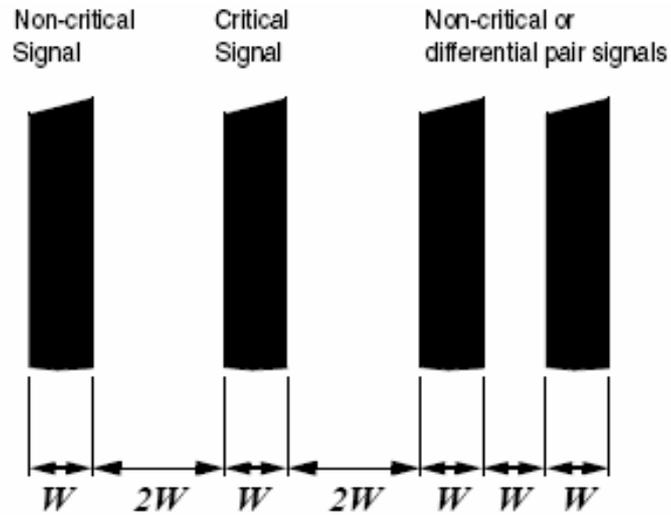


图 20: 走线分离

**(6) 保护和分流走线：**在时钟电路中，本地去耦电容对于沿着电源线传播的干扰滤除是很有效的。但是时钟线也应当需要一些防护来避免其他 EMI 源的干扰。否则受到干扰的时钟信号会在电路其他地方引起问题。

在一个干扰系统中，隔离和保护象时钟走线这样的关键信号走线，使用分流走线和保护走线是十分有效的方法之一。在图 21 中，分流走线和保护走线沿着在 PCB 上关键信号走线方向布置。保护走线不仅隔离了从其他信号线的磁通量耦合，也防止关键信号耦合到其他信号走线上。

分流走线和保护走线的区别是，分流走线不需要端接（接到地），而保护走线必须在两端接地。为了进一步的减少耦合，在多层 PCB 中可以在保护走线上每隔一段距离就增加一些到地的过孔。

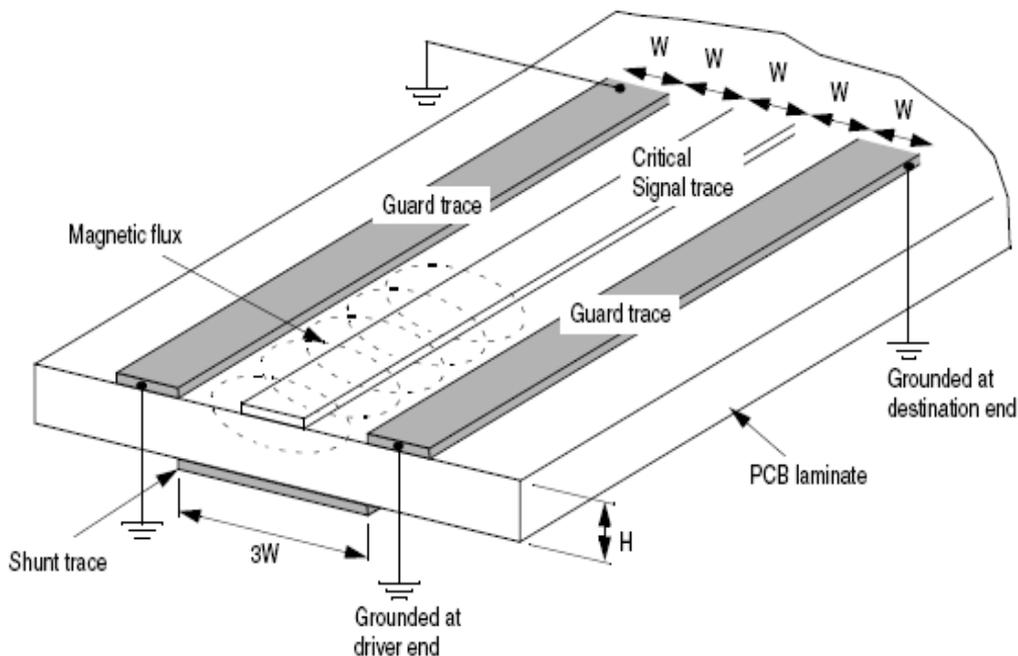


图 21:分流和保护走线

**(7) 接地技术：**接地技术不仅用在多层板中，也用在单面板中。接地技术的目的是使接地阻抗最小化，从而减小从电路返回到电源的接地回路的电势。

**(7.1) 单面板 PCB 的地线：**在单面板中，地线应当尽可能的宽，最小为 1.5mm (60mil)。由于星形布线无法在单面板上实现，对于跳线的使用和地线宽度的调整应当保持最少，因为这会引起走线阻抗和感应系数的变化。

**(7.2) 双面板 PCB 的地线：**在双面板上，对于数字电路来说，最好采用网状/矩阵状的地线布置，因为这种配置可以减小接地阻抗，接地回路和信号环路。同单面板一样，双面板的电源和地线的最小宽度应为 1.5mm (60mil)。另外一种方法是将双面板的一面做为地线，另外一面放置电源和信号线，用这种方法可以进一步的减小接地阻抗和接地回路，而且可以将去耦电容尽可能的靠近 IC 放置。

(7.3) **保护环**：保护环也是接地技术之一，它可以有效的将干扰噪音（例如射频电流）屏蔽在保护环之外，因为在通常工作中，没有电流从保护环中流过。见图 22.

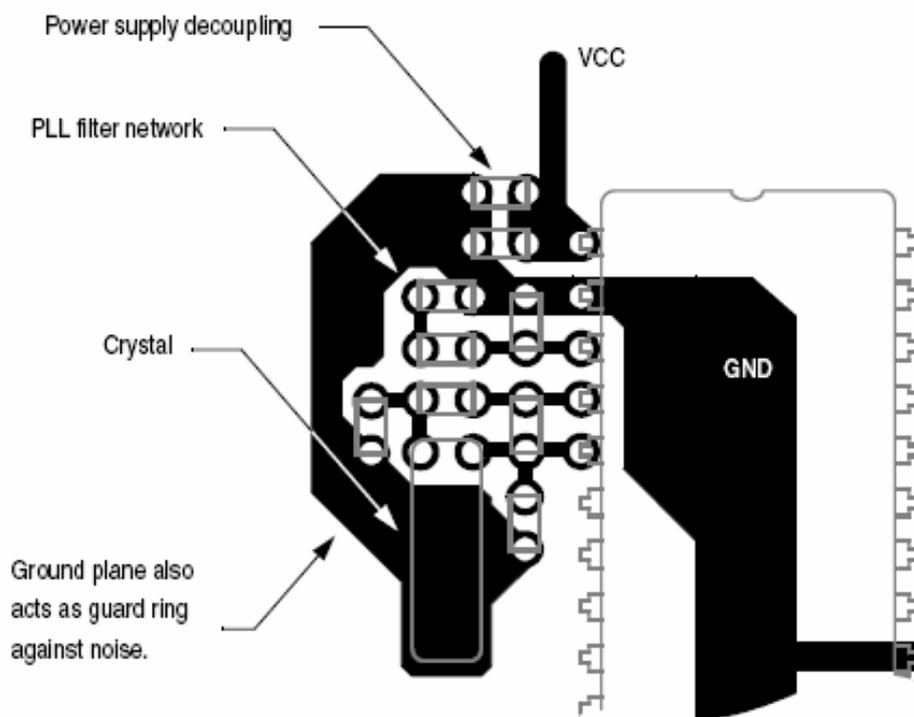


图 22: 保护环

(7.4) **PCB 电容**：在多层 PCB 板中，在电源层和地线层会产生一个 PCB 电容。在单层板中，假如说电源线和地线是平行走线，那么也会有这种电容效应。这个电容的好处是它有很高的频率响应和很低的串行电感，它均匀的分布在平面和走线中。十分有意义的是，它是一个均匀分布在整块板子中的去耦电容，没有任何一个分立元件有这个特性。

(7.5) **高速电路和低速电路**：高速电路应该靠近地线面布置，低速电路应当靠近电源面布置。

(7.6) **地线铺铜**：在一些模拟电路中，没有用到的区域会用一大片的接地（铺铜）来覆盖，用来提供屏蔽和提高去耦作用。但假如这块铜皮是浮接的（即没有接到地），这块铜皮的作用可能会相当于一个天线，可能产生 EMC 问题。

(7.7) 在多层板中的电源层和地线层：在多层板中，最好将电源层和地线层邻近布置，因为这会在板子上产生一个大的 PCB 电容。高速信号和临界信号应当在邻近地线层的那一层布置，而非临界信号靠近电源层放置，图 23 表示了一个典型的多层板走线的配置。

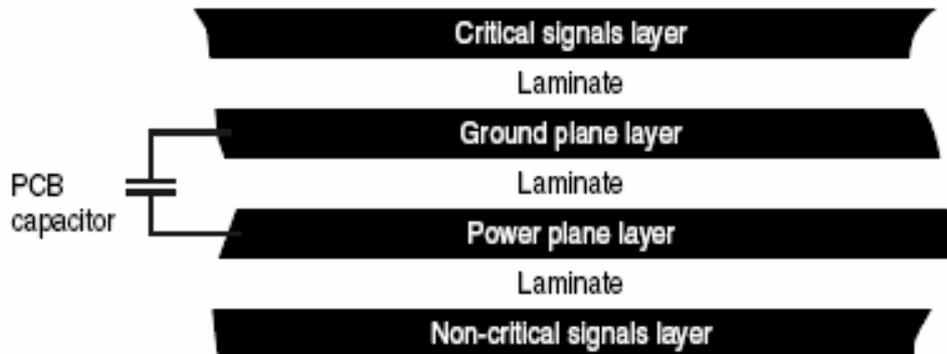


图 23: 在多层板中的走线布置

(7.8) 多路电源需求：在多层 PCB 中，假如需要多路电源，最好将每个电源通过地线层分开。但是在单面板中，这种方法是不可能的。在单面板中的一个解决方案就是对每路电源都通过电源走线和地走线将其分开（如图 24）。这种方法也有助于避免一路电源的噪声耦合到其它电源中去。

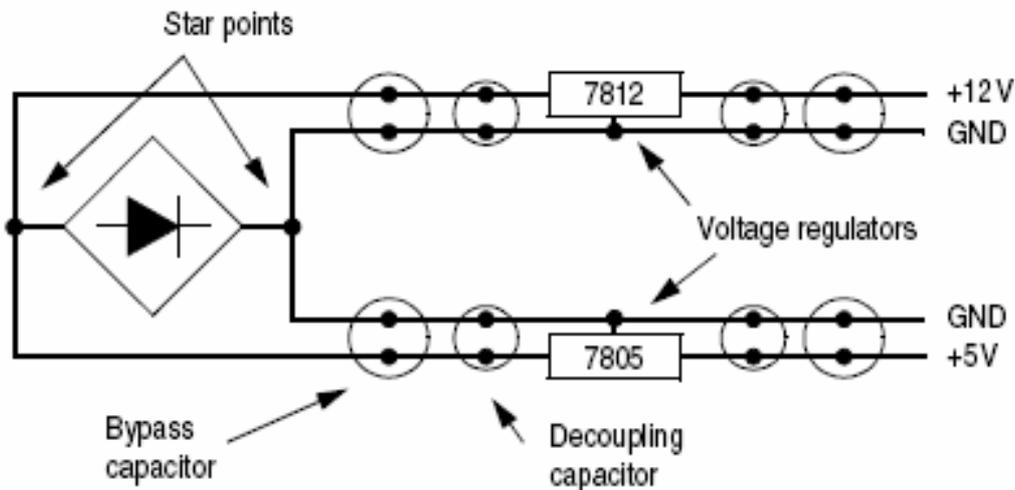


图 24: 多路电源

(8) 走线布局技术：下面部分将讨论布线的一些规则。

(8.1) 过孔：过孔通常用在多层 PCB 中，在高速信号中，过孔会在走线上引入一个  $1 \sim 4\text{nh}$  的电感，和一个  $0.3 \sim 0.8\text{pf}$  的电容。因此，在高速信号布线时，尽量最少地使用过孔。假如在高速平行信号走线中（例如地址线和数据线），不可避免的要层切换（使用过孔），那么要确保在每个信号线上的过孔数目是相同的。

(8.2) 45° 角布线：同过孔一样，要避免使用 90°（直角）布线，因为直角布线能在线内部边缘产生集中的场强，该场强产生的干扰噪音可以耦合到附近的走线中。所以当改

变走线方向时所有 $90^\circ$  (直角)布线应用 $45^\circ$  角布线代替。图25表示了一般 $45^\circ$  角布线的规则。

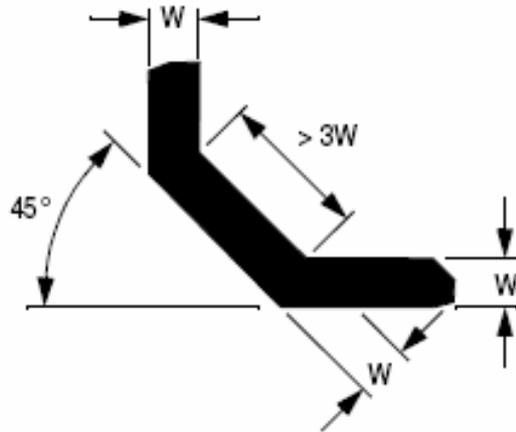


图 25:  $45^\circ$  角布线

**(8.3) 短截线:** 短截线会产生反射, 可能增加潜在的波长可分的天线到电路中。尽管我们可以估算一个短截线的长度可能不会是系统中已知信号波长的  $1/4$ , 但是附带的辐射也可能会在短截线上产生共振。因此, 在对高频信号和敏感信号布线时, 尽量不要使用短截线。短截线如图 26 所示。

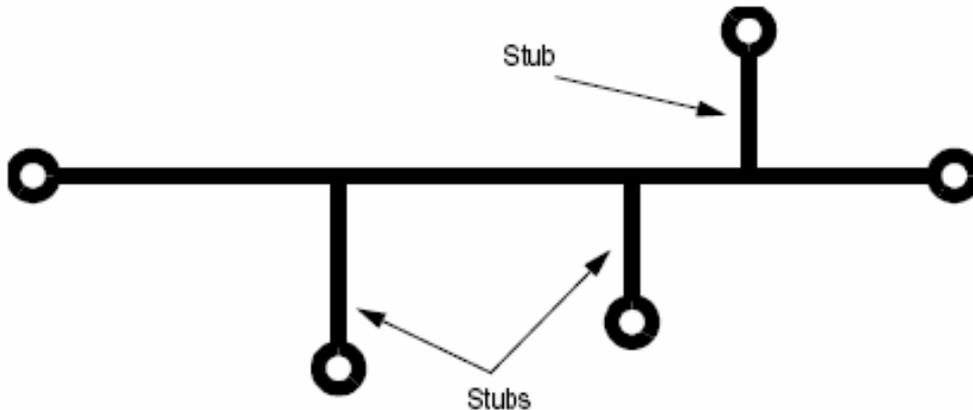


图 26: 短截线

**(8.4) 星形信号排列:** 尽管星形排列对于不同 PCB 的连接比较合适, 但是这样一个信号走线会引入多个短截线, 所以在对高频信号和敏感信号布线时, 尽量不要使用星形排列。

**(8.5) 辐射信号线布置:** 对于辐射信号线的布置, 通常是源极到接收者之间采用最短路径和最小延迟的方法, 但是这也可以产生多个反射和辐射干扰。所以在高速信号和敏感信号布线中也应当避免。

**(8.6) 不变的走线宽度:** 从驱动到负载的信号走线宽度应当是不变的, 不同宽度的信号走线引起走线阻抗 (电阻, 电感, 电容) 的改变, 可以产生反射和走线阻抗的不均衡。所以宁可走线宽度降低也不能改变走线的宽度。

(8.7) **Hole 和过孔密集**: 通过电源层和地线层的密集过孔/Hole, 同附近的过孔/Hole 不同, 会产生一个局部的阻抗。这个密集区域不但成为一个信号活动的“热点”, 由于射频的沉降, 电源供给层在这里有很高的阻抗, 而且效率更低。

(8.8) **切分空隙**: 同过孔/Hole 密集一样, 切分空隙 (也就是长的切口或者宽的过孔) 在电源层和地线层也可以产生一个不一致的区域, 象屏蔽作用一样, 减少了电源供给的效率。也增加了电源层和地线层的局部阻抗。

(8.9) **金属处理后的模式接地**: 所有用金属处理后的图案、模具都应该接地, 否则这些大面积的金属作用就象一个辐射天线。

(8.10) **最小化回路面积**: 使信号走线和它的到地回路靠近将最小化接地回路, 这样可以避免潜在的天线回路。对于高速单端信号, 有时候不得不在这个信号的旁边多加一条到地回路, 假如这个信号没有沿着一个低阻抗到地的方向走线的时候。见图 27。

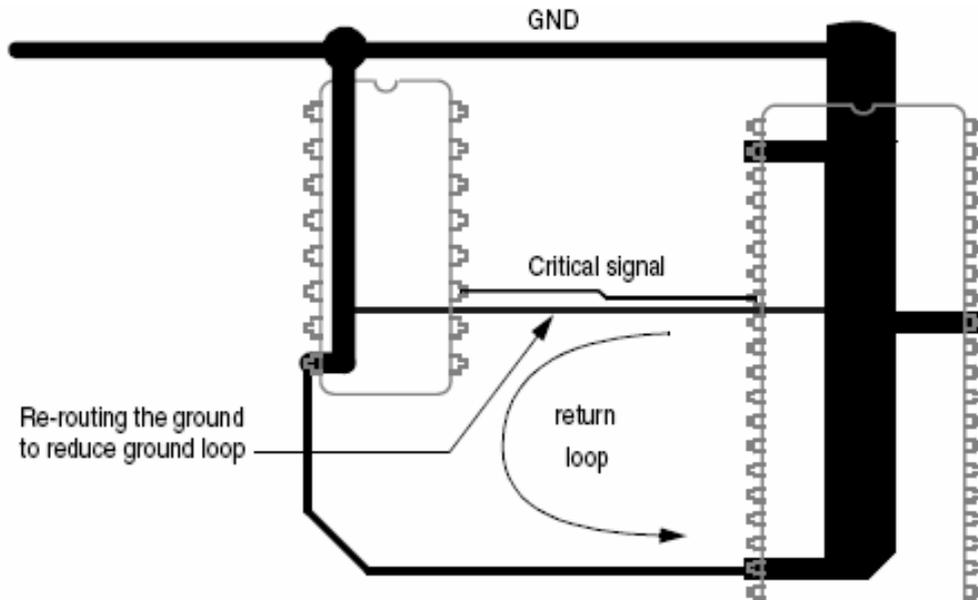


图 27: 接地回路

(译者注: 翻译到这里, 看到有人提供了网上有这篇英文的翻译, 但是我感觉好像不是 MOTOROLA 的人翻译的, 一些地方他也没有翻译, 但是只剩下附录 A 和附录 B 了, 所以我也就不继续了)