

# 跨导运算放大器设计实例

李福乐

[lifule@tsinghua.edu.cn](mailto:lifule@tsinghua.edu.cn)

# Specifications

- CSMC 0.6um DPDM CMOS Process
- $GBW > 100\text{MHz}$ ,  $PM > 60$  when  $CL=2\text{pF}$
- DC Gain  $> 80\text{dB}$
- Output swing  $> 4\text{V}$  (differential)
- Full differential architecture
- Low Power (Large FOM)

所设计的OTA要应用于课程设计10bit cyclic ADC中。

在开关电容ADC中，ADC的速度取决于级电路的建立速度，而级电路的建立过程可视为由大信号压摆区和小信号线性建立区构成，其中，小信号建立区的时间通常要占到总建立时间的80%~90%，因此，OTA的大信号压摆率对ADC的速度影响较小；

从另一个方面来说，压摆率只取决于偏置电流，当偏置电流和电容确定后，无论输入管的VGS-VT是大是小，压摆率都不变。对于连续信号处理电路，我们希望OTA在整个设计带宽内工作时，输出信号不会因为摆率跟不上而幅度受限，这个时候需要SR/GBW大一些，即输入管的VGS-VT大一些；但是，对于采样信号处理电路，比如我们所要设计的ADC，当我们确定好偏置电流，然后降低输入管的VGS-VT，这个时候，SR不变，GBW变大，即SR/GBW变小了，而最终的建立时间反而缩小了，ADC的速度加快了。

因此，SPEC中没有提出对SR的具体要求。

**注意：不同应用对SR/GBW的不同要求！**

# Design flow

- MOST parameters of the specified process
- Deciding the optimal structure
- Main stage circuit design
- Bias design
- Common feedback design
- Layout design and verification
- LPE & Post-sim

# MOST parameters

- $\mu$ ?  $C_{ox}$ ?
  - Find out  $\mu_n$ ,  $\mu_p$ ,  $t_{oxn}$  and  $t_{oxp}$  from model library

- $K'$ ?

$$K' = \frac{\mu C_{ox}}{2n}$$

$$n = 1 + \frac{C_D}{C_{ox}}$$

si:  $I_{DS} = K' \frac{W}{L} (V_{GS} - V_T)^2$

wi:  $I_{DS} \propto \exp^{\frac{V_{GS}}{nkT/q}}$

$$t_{ox} \approx \frac{L_{min}}{50}$$

$$t_{si} = \sqrt{\frac{2\epsilon_{si}(\phi - V_{BD})}{qN_B}}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$C_D = \frac{\epsilon_{si}}{t_{si}}$$

在设计中，最重要的是晶体管的电流公式；根据晶体管的电流公式可知，我们要首先确定由工艺确定的 $K'$ ， $C_{ox}$

# MOST parameters

- $\mu$ ?  $C_{ox}$ ?

- Find out  $\mu_n$ ,  $\mu_p$ ,  $t_{oxn}$  and  $t_{oxp}$  from model library

- $K'$ ?

$$\epsilon_{si} = 1 \text{ pF/cm}$$

$$\mu_n \approx 426 \text{ cm}^2/\text{Vs}$$

$$\epsilon_{ox} = 0.34 \text{ pF/cm}$$

$$\mu_p \approx 192 \text{ cm}^2/\text{Vs}$$

$$t_{ox} \approx 12.5 \text{ nm}$$

$$C_{ox} \approx 2.72 \cdot 10^{-7} \text{ F/cm}^2$$

$$n = 1.2 \sim 1.5$$

$V_{En} \approx 5 \text{ V}/\mu\text{m}$ $V_{Ep} \approx 3 \text{ V}/\mu\text{m}$ ?
--

在设计中，最重要的是晶体管的电流公式；根据晶体管的电流公式可知，我们要首先确定由工艺确定的 $K'$ ， $C_{ox}$

拿到一个工艺MODEL后，首先根据库中提供的 $\mu_n$ ,  $\mu_p$ ,  $t_{oxn}$ ,  $t_{oxp}$ 来推导出设计所需的 $C_{ox}$ ,  $K$ , 以及估计 $V_{Ep}$ ,  $V_{En}$

$n$ 的值与VBD电压有关，其值通常在1.2~1.5之间。

特别地， $VE$ 的值与晶体管的 $V_{DS}$ 有关，它可通过以下的方法来估计：

编写SPICE程序对一个晶体管进行工作点分析(.op)，所加的偏置电压尽量接近实际电路中要用到的情况，比如 $V_{GS}-V_T=0.2\text{V}$ ,  $V_{DS}=0.3\sim 0.4\text{V}$ ，仿真完毕后，从.lis文件中找到该晶体管的 $I_{DS}$ ,  $g_{ds}$ ，然后用公式  $VE = I_{DS}/(L \cdot g_{ds})$  来估计 $VE$ 。

参数 $VE$ 主要与增益有关，相比于其他设计量，增益是难以准确设计的指标；因此，我们也无须得到非常精确的 $VE$ 值，而只需一个比较保守的估计值，这样设计出来的增益更容易在仿真中通过。

本胶片中给出了设计中要用到的0.6 $\mu\text{m}$  CMOS工艺的相关参数的值。

## Equations to remember

$$I_{DS} = K' \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

**Strong  
inversion**

$$r_{DS} = \frac{1}{\lambda I_{DS}} = \frac{V_E L}{I_{DS}}$$

$$g_m = \frac{2I_{DS}}{V_{GS} - V_T}$$

$$A_v = \frac{2V_E L}{V_{GS} - V_T}$$

$$f_T = \frac{3\mu(V_{GS} - V_T)}{4n\pi L^2}$$

**VE**为工艺参数

$$\overline{dV_{ieq}^2} = 4kT \left( \frac{2/3}{g_m} + R' \right) df$$

$$R' = R_G + R_S + R_B (n-1)^2$$

$$\overline{dV_{ieq}^2} = \frac{KF_F}{WLC_{ox}^2} \frac{df}{f}$$

本胶片中的公式必须熟记在心！

这些公式除了告诉我们如何去计算增益、带宽和噪声这些指标之外，更重要的是，它告诉了我们这些指标与具体电路设计变量（如 $V_{GS}-V_T$ ,  $L$ 等）之间的关系，分析、熟记和理解这些关系，有助于培养模拟电路设计的sense，而sense对于模拟电路设计是非常重要的。

注意：如果 $V_{GS}-V_T=0.2$ ，则有： $A_v = 10 \cdot V_E \cdot L$ ，若 $L=1\mu m$ ，根据上一胶片中 $V_E$ 的估计值，可知PMOS的增益约为30，NMOS的增益约为50。当然，晶体管的增益也与 $V_{DS}$ 有关，一般来说，晶体管的单级增益可认为在10~100的范围内。

## Mostly used amplifiers

Num.	Structure	Power	GBW	Adc	Swing	noise
1	Simple OTA	1	Max.	$\sim A_T$	Avg.	4
2	Telescopic	1	Max.	$\sim A_T^2$	Small	4
3	Symmetrical (B=3)	1.33	Mid.	$\sim A_T$	Max.	5
4	Folded casc.	2	Larg.	$\sim A_T^2$	Avg.	6
5	Miller 2-stage	10	Mid.	$\sim A_T^3$	Max.	4
6	Gain boosting	$\sim 2$	Larg.	$\sim A_T^3$ $\sim A_T^4$	Avg.	
7	Including 2- stage cascode			$\sim A_T^3$	Small	

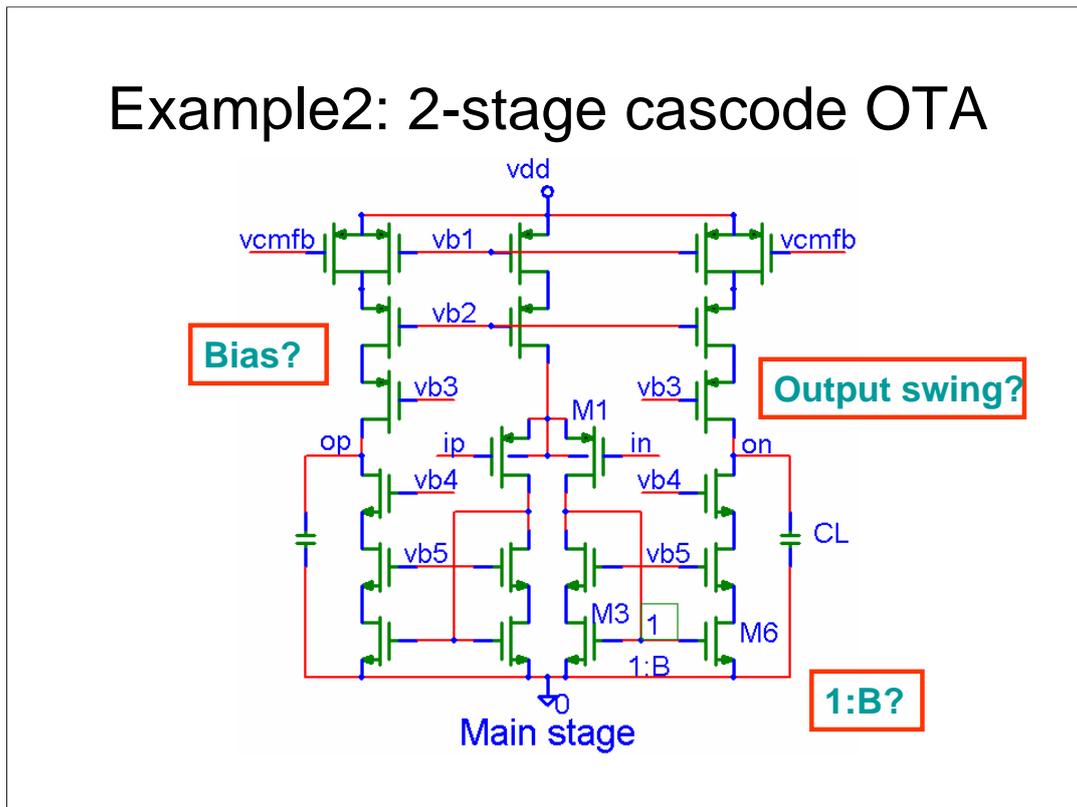
影片中给出了常用的OTA结构以及各种结构的特点。

其中  $A_T$  表示单个晶体管的增益： $A_T \approx 10 \cdot V_E \cdot L$ 。

根据SPEC中增益大于80dB的要求，只有第5，6和7类OTA可选择；

第7类的OTA可以是对称-2级cascode结构，也可以是folded+2级cascode结构，前者适用在GBW不是特别大的情况，通过令 $B > 1$ 来获得比较高的FOM，后者的FOM相当于前者 $B=1$ 的情况，但其GBW可以做得很大。

## Example2: 2-stage cascode OTA



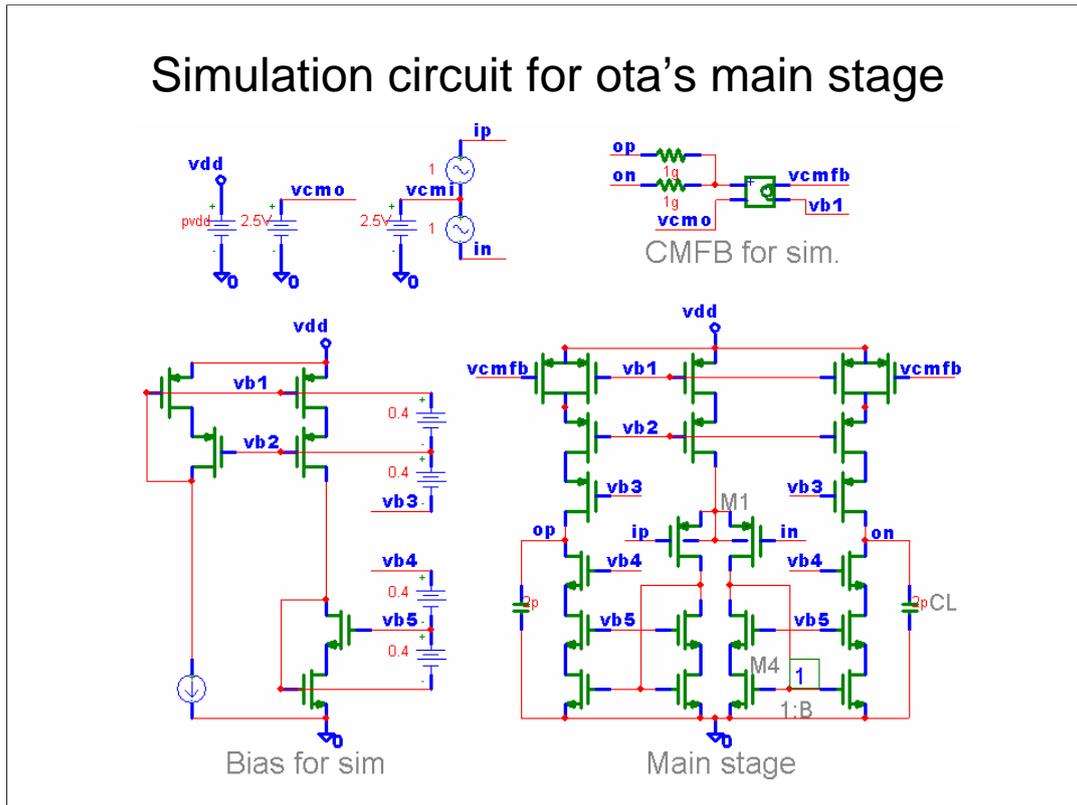
这是一个对称-2级cascode结构OTA的主级，其特点是当GBW的要求不是特别高时， $B$ 可增大，从而实现比较高的电流效率。在设计OTA之前，我们先来定性分析这种结构有无可能达到SPEC要求：

- 1) 增益：2级cascode可将增益增加到 $AT$ 的3次方，因此可以实现80dB以上的低频增益；
- 2) 尽管2级cascode减小了output swing，但在最小4.5V的电源电压下，单端output swing  $\approx 4.5-6 \cdot VDSSAT > 2V$ ，显然仍有可能满足output swing方面的要求。

那么，现在我们面临的设计任务是：

- 1) 设计主级电路中各元件的具体参数，包括M3与M6的比例 $B$ ；
- 2) 设计为主级电路提供偏置电压的偏置电路；
- 3) 设计稳定全差分OTA输出共模电平的共模反馈电路。

## Simulation circuit for ota's main stage



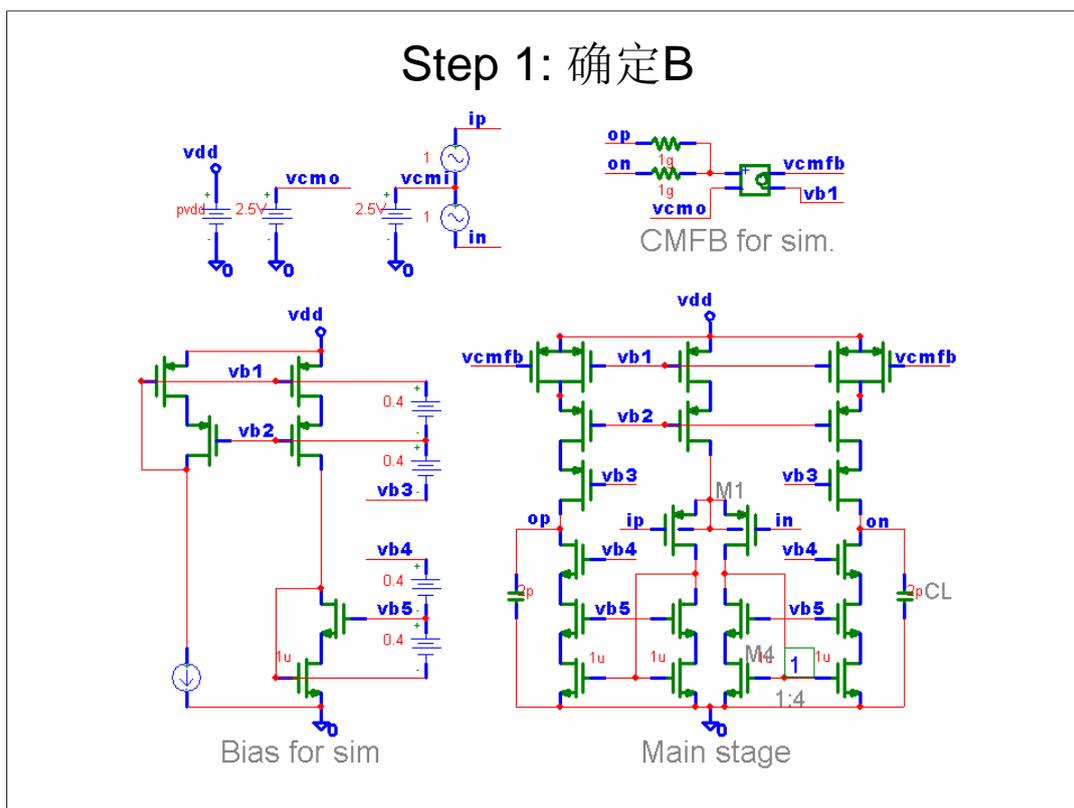
OTA的主级电路决定了整个OTA的GBW, Phase Margin, SR, Power Dissipation等主要指标, 其他电路, 即偏置电路和共模反馈电路, 都是为主级电路服务的. 因此, 当我们开始设计一个OTA时, 可先设计和调试主级电路。全差分主级电路在仿真调试时需要预先设定直流工作点和稳定共模电平, 在这里, 我们先用简化的偏置电路和共模反馈电路模型来为主级电路服务。这样做的好处是, 第一: 在主级电路的仿真中我们可以很灵活地调整电路模型的参数来优化电路工作点; 第二: 主级电路设计完毕后, 这些优化的参数可用作偏置电路和共模反馈电路设计的目标。

**偏置电路模型:** 对于OTA来说, 其性能由各个支路的电流决定, 偏置电路的任务是给主级电路各支路设定稳定而合适的直流电流。在主级电路中, 对偏置电流来说, 最敏感的偏置电压是vb1, 而对vb2~vb5均不敏感。因此, vb1不能由一个固定的直流电平来设定, 因为, 在不同的工艺corner下, 或者由于工艺中的随机变化, 固定的vb1会带来较大的偏置电流的变化, 在设计中, vb1由偏置电路中的PMOS管的Vgs来产生, 这个PMOS管与主级电路中vb1控制的PMOS管构成了电流镜; 而vb2, vb3可简单地通过对vb1偏移固定的直流电压差来得到, 只要偏移的电压差能保证相应的PMOS管有合适的Vds, 能工作在饱和区即可。

**共模反馈电路模型:** 任务是设定全差分主级电路的输出工作点, 这样AC分析才能得以进行。根据共模反馈的电路原理, 我们应该得到这样一个Vcmfb:

$$V_{cmfb} = vb1 - (v_{cmo} - (op+on)/2)$$

图中的电路模型正是完成这样的功能; 差分输出的共模电压分量 $(op+on)/2$ 由两个电阻分压得到, 为了防止并入到输出端的电阻会降低OTA输出电阻, 模型中的电阻的取值应远大于OTA输出电阻, 这里取为1G。



第一步：确定B。

由： $GBW < ft_4/(2B+6)$  和  $ft_4 = 3u_n(V_{GS}-V_T)_4/(4n \pi L_4^2)$  可推得：  
 $4n \pi L_4^2(2B+6)GBW < 3u_n(V_{GS}-V_T)_4$

需要我们确定的参量有： $B, L_4, (V_{GS}-V_T)_4$ ，这里有三个未知量，而只有一个不等式，因此，需要做一些合理的设计假设：

考虑到电流匹配的要求，构成电流镜的晶体管的 $V_{GS}-V_T$ 取得大一些， $L$ 也取得大一些， $L$ 取大也有利于增益，但 $L$ 的取值过大会大大降低 $ft$ ，所以应谨慎取大：

令  $(V_{GS}-V_T)_4 = 0.4V, L_4 = 1\mu m$

又，这里取 $n=1.25$ ，将以上定义的值代入不等式，可得到：

$B < 13.25$

由上式，为了降低功耗，可取  $B = 13$ ，而实际上， $B$ 的取值应保守得多，这是因为：

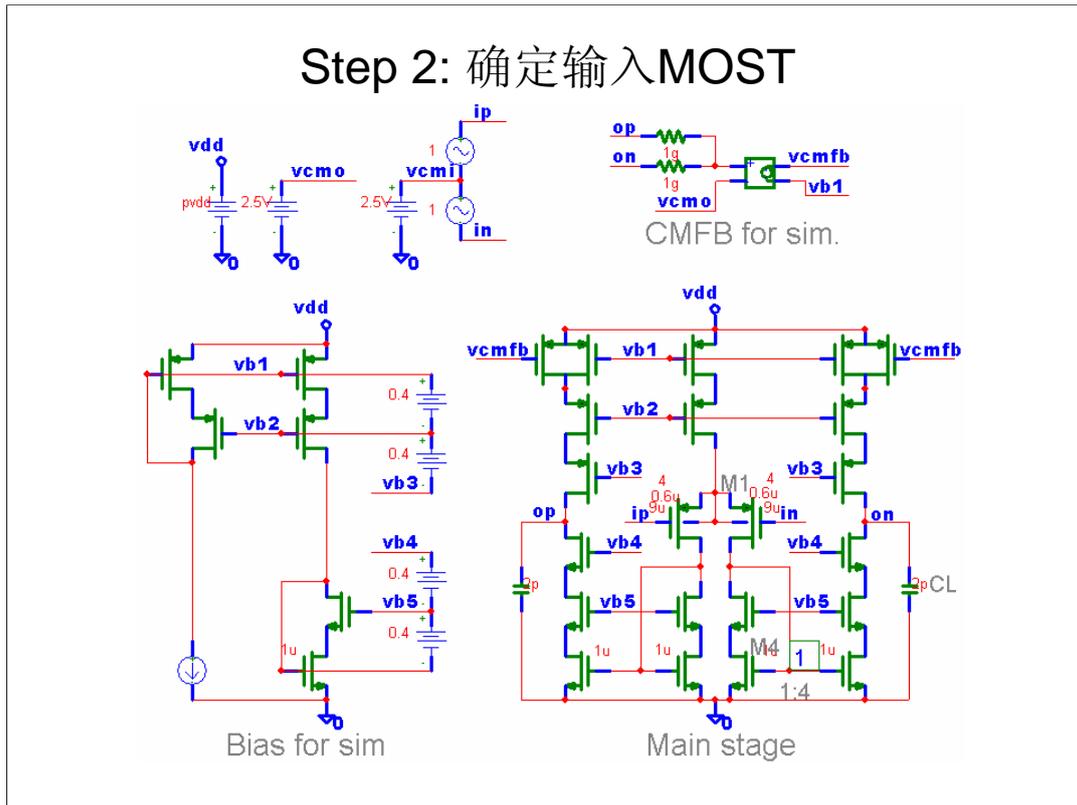
1) 由于 $GBW$ 取决于PMOS输入管的跨导，而 $fnd$ 取决于M4，它是NMOS管，这样，在不同的工艺corner下， $fnd/GBW$ 的值会有所变化；

2) 在所有的corner下，所得到OTA的最大 $GBW$ 可为最小 $GBW$ 的2倍，因此，在设计中，为了保证 $GBW$ 总是大于100MHz，我们需要将TT情况下的 $GBW$ 设计得大一些，比如说是指标的1.5倍，这又增加了对 $fnd$ 的要求，即 $B$ 应该更小一点。

综上两点，为了保证一定的设计裕度：取  $B = 4$

这里所取的 $B$ 值，与其他所设计的电路参数一样，仅作为仿真的起点，具体的 $B$ 值，还可通过后面的仿真来验证和调整。

## Step 2: 确定输入MOST



确定B后，由GBW和CL推出 $G_{m_i}$ ：

$$GBW = BG_{m_i} / (2\pi CL) \Rightarrow G_{m_i} = 2\pi CLGBW/B = 314\mu$$

对于输入MOS管，如果OTA SPEC中指定了SR，则可根据  $(V_{GS}-V_T)_1 = SR/GBW$  来设计，在本设计中，没有指定SR的指标，那么，在设计中一般取  $V_{GS}-V_T = 0.2V$ ，对于输入差分对， $V_{GS}-V_T$  取得小一些，对降低offset有利，而且，这个值也能保证输入晶体管工作在强反型区，这样，我们才可用常用的平方律公式来设计。

$$\text{由 } G_{m_i} = 2I_{DS1} / (V_{GS}-V_T)_1 \Rightarrow G_{m_i} = 10I_{DS1} \Rightarrow I_{DS1} = 31.4\mu A$$

$$\text{再由: } G_{m_i} = \mu C_{ox}(W/L)(V_{GS}-V_T)^2 \Rightarrow W/L = 37.6$$

这里有W，L两个未知量，但只有一个等式，因此要根据具体情况先给一个未知量设定一个合理的值，然后求得另外一个未知量：对于输入管，L应取得小一些，这里我们用的是0.6um的工艺，可直接取  $L_1 = L_{min} = 0.6\mu m \Rightarrow W_1 \approx 22.6\mu m$

值得指出的是，这里的设计结果是基于工艺库TT、常温的条件下，根据经验，在所有的设计corner中，最大的GBW可达最小GBW的2倍！另外，vb3, vb4控制的MOS晶体管的 $C_{DB}$ 也会增大输出端的电容负载。因此，为了确保在所有的corner下都能达到设计指标，我们可对上述设计结果进行合适的成比例放大(1.5倍左右)，取： $I_{DS1} = 50\mu A$ ,  $W_1 = 36$

从寄生效应、匹配设计和版图设计等方面考虑，一般对大W/L的晶体管版图采用多指设计，每指的W/L一般取为10~20，且指数尽量为偶数（为了尽量减小漏区面积），因此，输入晶体管的参数最终设计为：

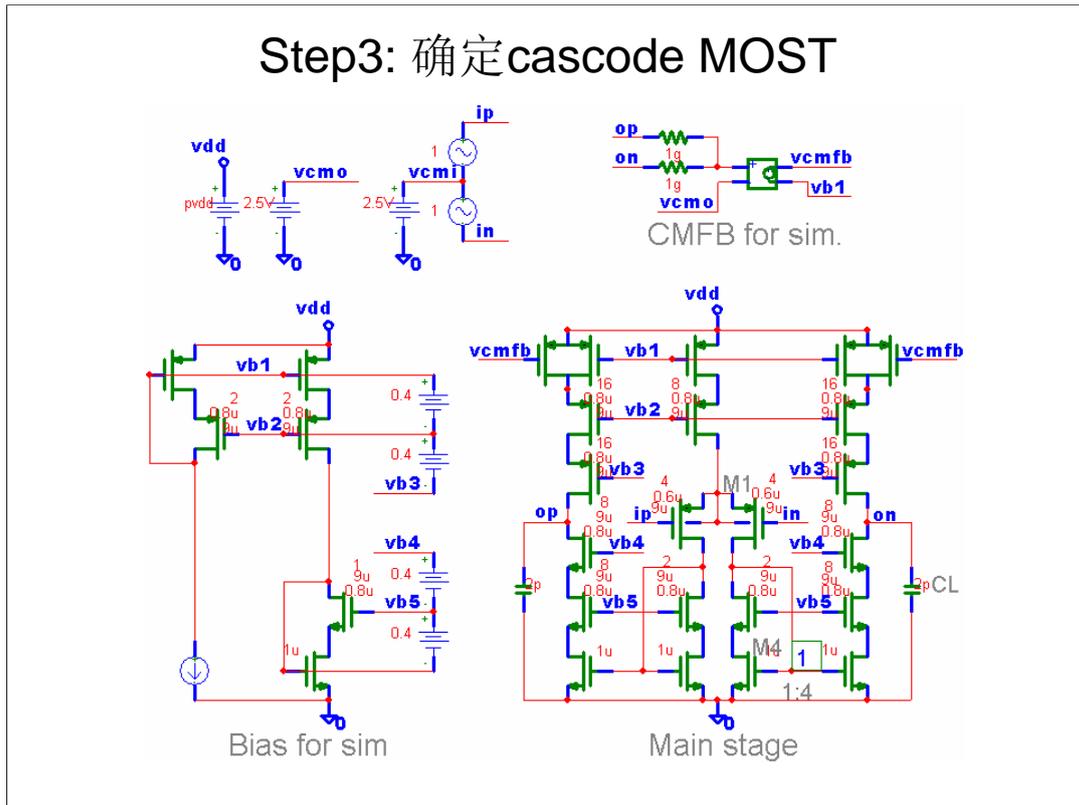
$$W_1 = 9\mu m$$

$$L_1 = 0.6\mu m$$

$$M_1 = 4$$

$$I_{DS1} = 50\mu A$$

### Step3: 确定cascode MOST



对于主级电路中的PMOS cascode晶体管，若令其与输入PMOS晶体管有相同的 $V_{GS}-V_T$ 和 $L$ ，则各PMOS cascode晶体管可设计为与输入PMOS晶体管有相同的 $W$ 和 $L$ ，而它们的 $M$ 与输入PMOS晶体管的 $M$ 之比就等于流过它们的电流之比，因此有：

在主级电路中，vb2控制的三个PMOS晶体管的尺寸从左到右分别为：**16:8:16**

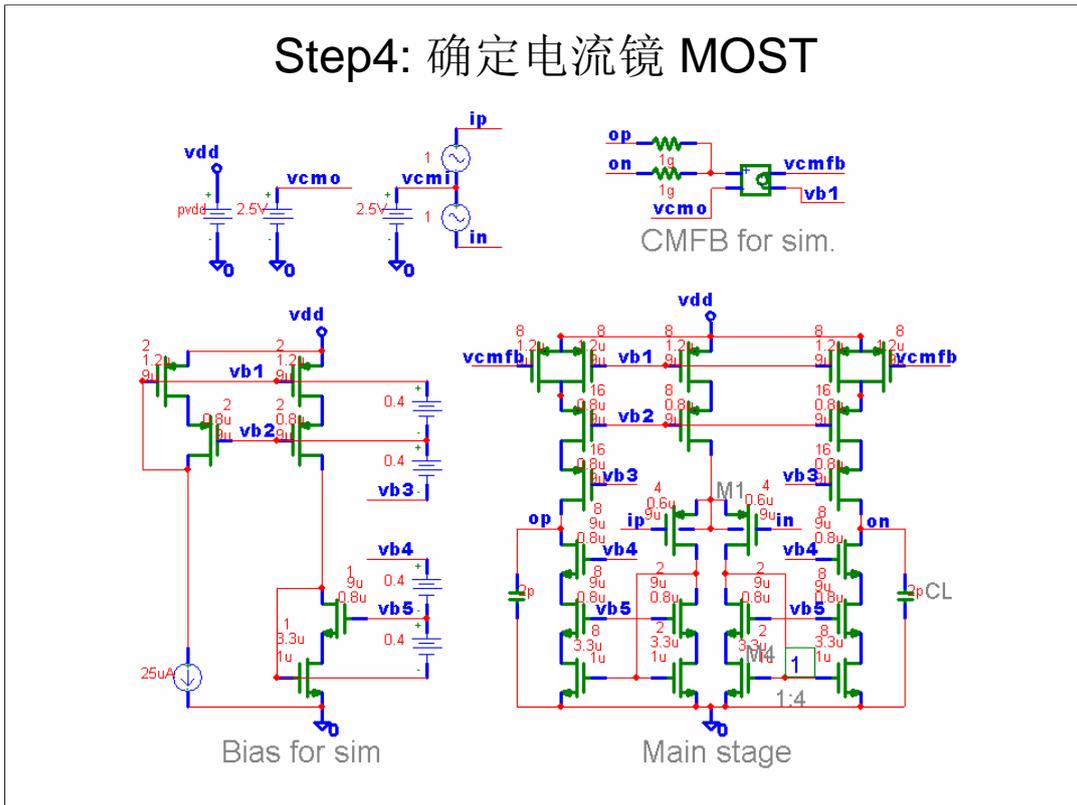
在主级电路的PMOS端，最上面用做电流镜的PMOS管的 $L$ 不能取得太大，这是因为vcmfb控制的PMOS同时作为共模反馈回路的输入管，它需要将跨导做得大一些而输入寄生小一些，因此，主级电路需要通过提升vb2, vb3所控制的cascode PMOS的 $L$ 来提升PMOS端输出阻抗，从而保证OTA的增益。在这里，我们可将所有cascode PMOS的 $L$ 从 $0.6\mu m$ 提升到 $0.8\mu m$ ，当然也可提升得更多，但 $L$ 增大导致 $V_{GS}-V_T$ 增大，会影响最终的输出高增益摆动范围。

对于主级电路中的NMOS cascode晶体管，可通过与其对应的PMOS晶体管的尺寸来确定，因 $u_n/u_p = 2.2 \sim 2$ ，因此NMOS cascode晶体管的 $W/L$ 取为对应PMOS的 $1/2$ ，即 $W$ ， $L$ 相同，而 $M$ 减半。

在偏置电路模型中，取偏置电流源的电流为 $I_{DS1}$ 的一半，即 $25\mu A$ ，另外令两个支路的电流相等，那么，根据电流镜的电流比例关系，可得到其中cascode晶体管的尺寸。

所得到的晶体管尺寸如图所示。

## Step4: 确定电流镜 MOST



对于主级电路中vcmfb控制的PMOS晶体管，作为共模反馈回路的输入管，对其的要求是跨导做得大一些而输入寄生小一些，这可通过减小L来实现，但L的减小会导致增益下降，以及电流镜的匹配变差，因此，L的取值需权衡考虑，在这里，取其为 $L = 1.2\mu\text{m}$ ；

电流镜PMOS晶体管与流过相同电流的cascode PMOS晶体管取相同的W和M，这样，它们的 $V_{GS}-V_T$ 会比cascode PMOS晶体管大一些，而大一些的 $V_{GS}-V_T$ ，也正是提高电流匹配所需要的。

对于主级电路中的NMOS，如M4，前面已经设计得到 $(V_{GS}-V_T)_4 = 0.4\text{V}$ ， $L_4 = 1\mu\text{m}$ ，而且 $I_{DS4} = I_{DS1} = 50\mu\text{A}$ ，由此可得到 $(W/L)_4 = 6.74$ ，因此，对于M4，可取：

$$W_4 = 3.3\mu\text{m}$$

$$L_4 = 1\mu\text{m}$$

$$M_4 = 2$$

其他的晶体管尺寸如图所示。

## Step5: 仿真验证GBW,PM

Process corner	ff	ff	fs	fs	sf	sf	ss	ss
Temp.	0	80	0	80	0	80	0	80
GBW	171	151	143	127	153	134	131	114
PM	70	68	69	67	63	60	63	61

**GBW, PM均达到设计要求!**

在设计完主级电路中所有元件的参数后，用上一页的仿真电路进行AC仿真，在电源电压pvdd=5V的情况下，分析以下8个corner下GBW和PM是否都能满足设计要求：

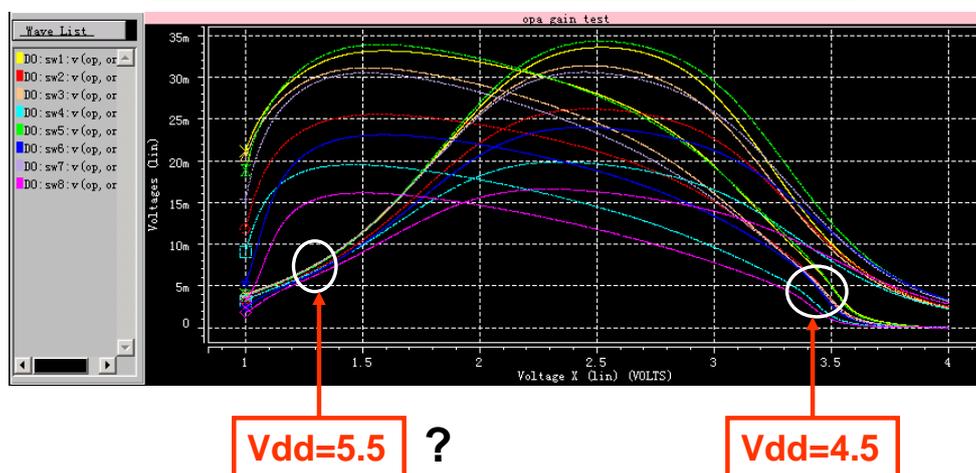
```
Lib temp.  
Ff 0  
Ff 80  
Fs 0  
Fs 80  
Sf 0  
Sf 80  
Ss 0  
Ss 80
```

之所以只考虑工艺corner和温度，是因为它们影响着对GBW和PM比较关键的MOS晶体管的跨导。之所以不考虑电源的corner，是因为电源的变化不影响小信号GBW和PM，但她影响到OTA输出的高增益摆动范围，故它在后面的增益和摆动范围的分析中要用到。

分析结果如胶片所示。

## Step6: 增益与摆幅

Vdd=4.5和5.5两种情况下分别做上面定义的8个corner的仿真，总计16个corner



OTA的增益与输出电压的幅度是有关系的，一般称之为voltage-related gain。

显然，当输出电压的幅度增大，输出节点的PMOS端或NMOS端的阻抗会变小，造成增益降低。

那么，我们要分析求出满足增益要求（即>80dB）的最大输出幅度值，此值对应于SPEC中的output swing，其差分值须大于4V。

在这里，我们对OTA的输出共模电平从低到高进行扫描，并求取每一个点上的差模小信号增益，然后，取增益大于80dB的输出共模电平的范围作为OTA单个输出端的output swing range，而差模output swing为单端output swing的两倍。通过分析可知，用上述分析方法求得的output swing比实际的output swing要小，因此，如果用这种方法求得的output swing能够满足SPEC要求，那么就可认为所设计的OTA在output swing指标上达到了要求。

结合前面的仿真电路，具体的SPICE分析方法是：在ip, in处加入一个很小的差模输入，在这里设置为1uV，它经过OTA的放大后，仍可被认为是小信号，然后，控制输出共模参考电平vcmo进行DC扫描分析，在SPICE仿真文件中加入如下仿真控制：

```
.dc v_v2 1 4 0.001 sweep pvdd 4.5 5.5 1
```

```
.probe dc v(op on)
```

在上面的控制DC扫描的代码中，同时加入了电源电压pvdd的参数扫描控制。

本页胶片给出了仿真结果，其中，横轴为输出共模电平，纵轴为输出差模电压，坐标中共有两组曲线，分别对应于4.5V和5.5V的电源供电，每组曲线中都包括八条曲线，分别对应于上一页中的八种corner，这样，我们总共得到了包括电源电压corner在内的十六种corner下的仿真结果。

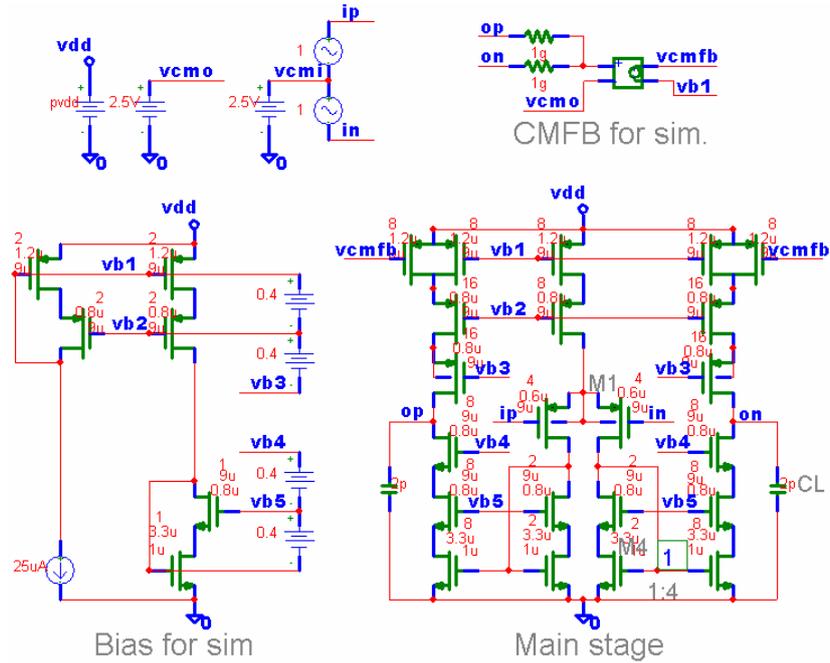
由于输入差模为1uV，故输出差模须大于10mV，才能满足增益大于80dB的要求。从胶片中的仿真结果来看，使得各种corner下的差模输出均大于10mV的输出共模电平范围约为(1.57~2.75)，转换为差模的output swing为 $2 \times (2.75 - 1.57) = 2.36V$ ，显然尚达不到SPEC的要求(>4V)。

为了增大output swing，我们可从两个方向上进行拓展：一是使输出共模电平可以更低，二是使输出共模电平可以更高。

在这里，首先分析低输出共模电平下的增益情况：我们发现，在相同的输出共模电平，如1.2V下，电源电压为5.5V时，OTA的增益要明显小于电源电压为4.5V时对应的值，这是比较奇怪的现象，因为按照通常的经验，低输出共模电压下，NMOS端的阻抗决定着增益的大小，而电源电压的变化并不会明显影响NMOS端的阻抗，故而不应该导致增益的明显变化。

这说明，在低输出共模电压下，电源电压的变化导致了PMOS端阻抗的变化，以致于其甚至小于NMOS端的阻抗，从而明显地降低了增益。实际上，这种现象可由vb3控制的PMOS管的VDS的变化来解释：当Vdd升高，vb3随之升高，这样vb3控制的PMOS管的VDS升高，当VDS超过一定的值后，热载流子效应凸显，它使得PMOS管的漏极到衬底出现漏电流，即相当于在OTA输出端到电源并联了一个电阻，这个电阻降低了输出阻抗，进而减小了增益。

## Step7: 改善低输出电平下的增益

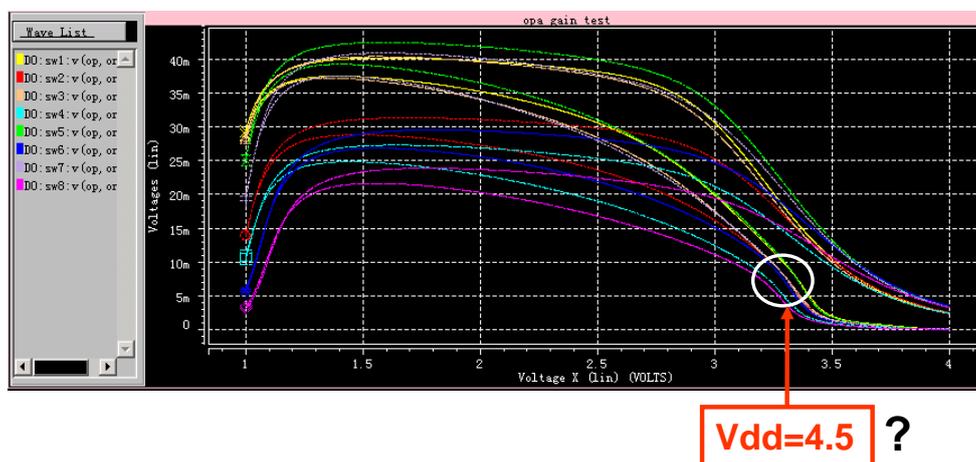


为了解决低输出共模电平下vb3所接PMOS管的漏极到电源的漏电流问题，我们可将这两个PMOS管的衬底与源极连接起来，如胶片所示。

显然，对于N-WELL工艺来说，这是可以做到的。

## Step7的仿真结果

Vdd=4.5和5.5两种情况下分别做上面定义的8个corner的仿真，总计16个corner

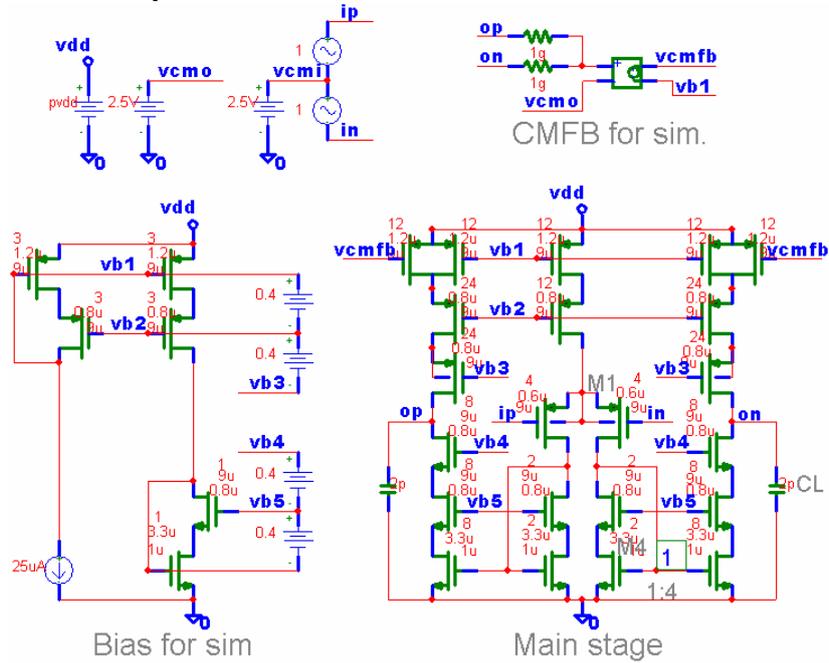


再次对上一页胶片中的电路做增益与摆幅的分析，可得到本页胶片中的仿真结果。

显然，我们已经成功地将满足增益要求的输出共模电平向下拓展到1.1V左右。

再来看看高输出共模电平下的增益情况，由仿真结果可知，在相同的输出共模电平下，如3.3V，电源电压为4.5V时，OTA的增益要明显小于电源电压为5.5V时对应的值，这说明，目前限制输出共模电平向高处延拓的主要原因是PMOS端的管子的VDS下降而导致的阻抗下降，而不是vb4所接的NMOS管的热载流子效应所致。

## Step8: 改善高输出电平下的增益

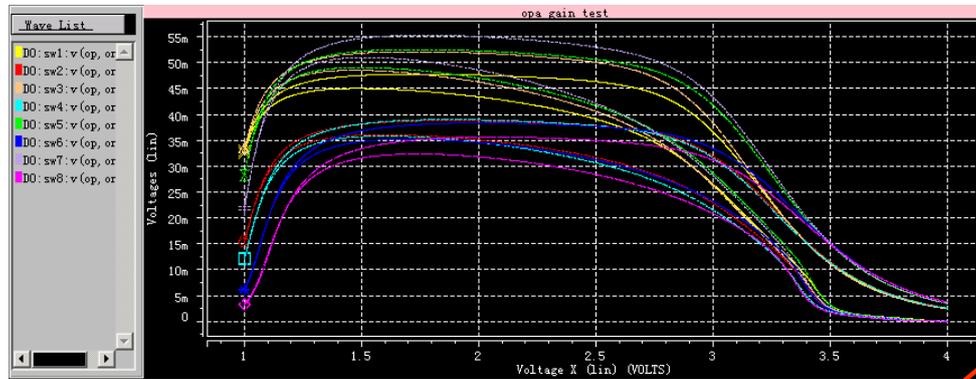


基于上一页的结论，我们需减小PMOS端的晶体管的过驱动电压 $V_{GS}-V_T$ ，以确保这些管子在低 $V_{DS}$ 下仍能工作在饱和区。这可通过将PMOS端除输入差分对之外的所有晶体管的SIZE增大1.5倍来实现，如胶片中的参数所示。

另外，调整PMOS端的偏置电压vb2, vb3使得vb1, vb2控制的PMOS管具有合适的 $V_{DS}$ ，即 $V_{DS} \approx V_{DSSAT} + 0.1$ ，在偏置电路模型中，各直流电压源的电压已能近似地保证这一点了，若不是，则需调整这些电压源的电压。

## Step8的仿真结果

Vdd=4.5和5.5两种情况下分别做上面定义的8个corner的仿真，总计16个corner



满足增益>80dB的输出共模范围约为(1.09~3.32)V

对上一页胶片中的电路做增益与摆幅的分析，可得到本页胶片中的仿真结果。现在，满足增益要求的输出共模范围约为(1.09~3.32)，对应的差模output swing range为  $2 \times (3.32 - 1.09) = 4.46$ ，显然满足SPEC的要求。

## Step9: 再验证GBW,PM

Process corner	ff	ff	fs	fs	sf	sf	ss	ss
Temp.	0	80	0	80	0	80	0	80
GBW	172	152	144	128	154	134	132	115
PM	69	68	68	67	62	60	63	60

**GBW, PM均达到设计要求!**

在修改元件参数来满足output swing的指标之后，再回头来验证GBW和PM是否依然满足SPEC要求。

用上一页的仿真电路进行AC仿真，在电源电压pvdd=5V的情况下，分析以下8个corner下GBW和PM:

Lib temp.

Ff 0

Ff 80

Fs 0

Fs 80

Sf 0

Sf 80

Ss 0

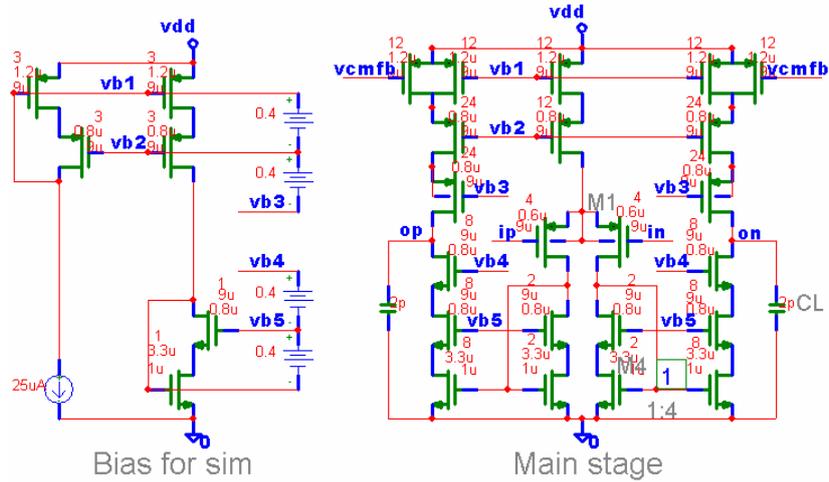
Ss 80

分析结果如胶片所示。显然，GBW, PM均达到设计要求。

# FOM?

**WORST CASE: GBW=116MHz**

**FOM > 422 Beautiful!**



根据上一頁的仿真結果，最壞情況下的 $GBW = 116\text{MHz}$ ，同時，整個OTA的電流消耗為  $I_{total} = 550\mu\text{A}$ 。

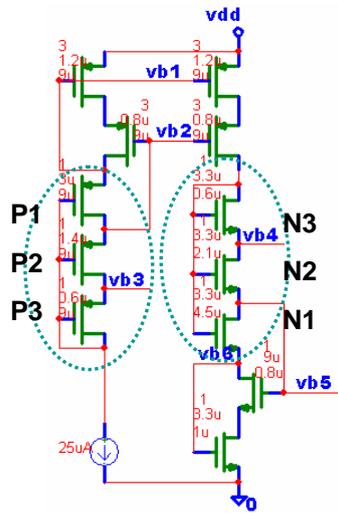
一個OTA的效率可用其FOM值的大小來評價，FOM的定義為：

$$FOM = GBW(\text{MHz}) * CL(\text{pF}) / I_{total}(\text{mA})$$

將響應的數據代入，可得到所設計的OTA的FOM值  $> 422$ ，這是一個非常好的結果。

至此，OTA的主級電路設計完畢。

## Step10: 设计晶体管级偏置电路



优点：仅用两个支路就可得到6个偏置电压，偏置电路功耗低

缺点：不能在低电源电压下工作

本设计的最低电源电压为4.5V，因此可用该电路来降低功耗

所采用的偏置电路如胶片所示。与上面的偏置电路模型对比，实际上我们只需设计两个虚线框中的3个PMOS和3个NMOS晶体管的SIZE。

通过简单的电路分析可知：

$$vb1-vb2 = VGS\_P1-VGS\_P2$$

$$vb2-vb3 = VGS\_P2-VGS\_P3$$

$$vb4-vb5 = VGS\_N2-VGS\_N3$$

$$vb5-vb6 = VGS\_N1-VGS\_N2$$

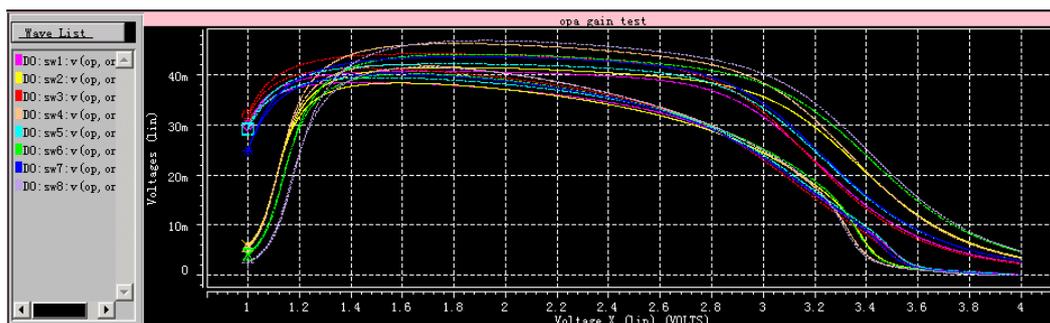
在设计中，一般令P1, P2和P3具有相同的W，而通过调整LP1, LP2, LP3之间的相对大小来调整各VGS之间的关系，比如令LP1: LP2: LP3 = 5: 3: 1。在本设计中，我们首先在工艺corner TT和室温下，通过调整LP1, LP2, LP3使得vb1, vb2, vb3之间的间距符合前面偏置电路模型中确定的值，然后，在其他corner下仿真检查OTA是否满足SPEC要求。

对N1, N2和N3的L的设计也是通过类似的方法。

在真正的偏置电路加入OTA电路后，我们还要验证一下OTA是否所有的corner下满足SPEC的要求。

## Step10 的仿真结果

Process corner	ff	ff	fs	fs	sf	sf	ss	ss
Temp.	0	80	0	80	0	80	0	80
GBW	171	152	144	127	153	134	131	115
PM	69	68	68	67	62	60	62	61



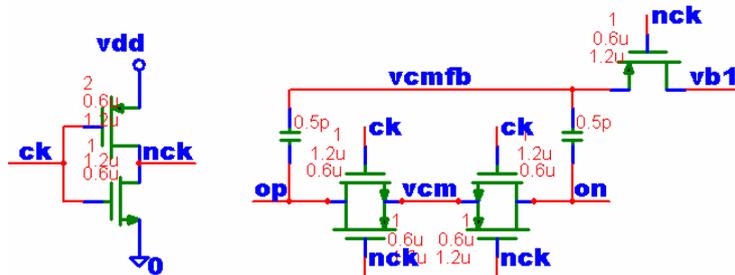
加入完整的偏置电路后的OTA的仿真结果，其中：

在仿真GBW和PM时，令VDD=5V，然后仿真如表所示的8个corner的情况，可见全部满足SPEC要求；

在分析增益与摆幅，跟前面一样，考虑了16个corner的情况，分析结果表明，输出共模的范围可达(1.12~3.31)，对应的差模output swing = 4.38V。

需指出的是，为了得到最大的output swing，OTA在正常工作中的输出共模参考电平应确定在  $(3.31+1.12)/2 = 2.215$ ，我们可取其为 2.2V。

## Step11: 设计共模反馈电路



优点：不限制差模output swing; 单相时钟，电路简单

缺点：OTA须有复位相，不能连续工作

本设计中OTA只在放大相工作，在采样相可处于复位状态

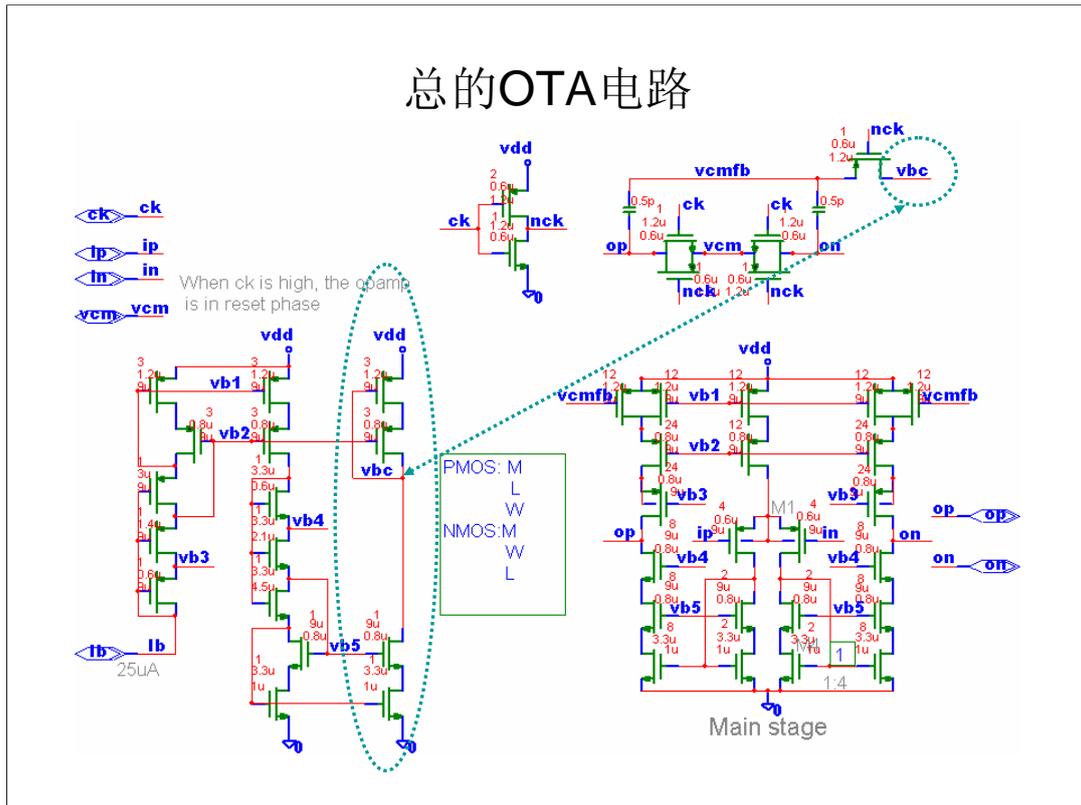
对于全差分OTA来说，为了稳定输出的共模电压，须加共模反馈电路。共模反馈电路有连续共模反馈电路和开关电容共模反馈电路，一般来说，连续共模反馈电路可应用于连续信号处理和采样信号处理电路的情况，但往往具有共模带宽低，或功耗大，或共模电路限制差模output swing的缺点；开关电容反馈电容应用于采样信号处理电路，其特点是不限制差模output swing。

在开关电容共模反馈电路中，为了取得OTA的输出共模分量同时消除差模信号分量的干扰，一般用两个电容来对OTA的两个输出进行分压平均，用电容器的好处是不会影响OTA的低频增益。但是，由于漏电的影响，电容上的直流电压不易长时间保持，故还应加入电压刷新电路来保持电容上的直流电压。

电容分压和电容上电压刷新的电路通常有两种实现方法：一是胶片中的电路，只有两个电容和单相控制时钟，其特点是电路简单，但需要专门的复位相来刷新电容上的电压；二是由4个电容，两个互不交叠的时钟和相应的开关组成的电路，其特点是电路和控制稍复杂，但不影响OTA的连续工作。

本设计中，OTA可以有复位相，因此选择第一钟开关电容实现。

## 总的OTA电路



为了防止开关电容共模反馈电路中开关操作对主级电路的偏置vb1造成干扰，我们在偏置电路中增加了一个支路来产生一个与vb1接近的电压vbc，用它代替vb1来刷新共模反馈电路中的电容电压。

OTA的输入输出情况：

ip, in: 差分信号输入端；

Ib: 偏置电流输入，25uA；

Vcm: 输出共模参考电平，2.2V；

Ck: 开关电容共模反馈电路中用到的单相时钟；

Op, on: 差分信号输出端。

OK，到现在这一步，整个OTA的晶体管级电路已经全部确定了。